
KEIm-A5ESoM ハードウェアマニュアル

Ver.1.0



はじめに

この度は、KEIm 製品をお買い上げいただき誠にありがとうございます。

本製品をご使用になる前に、本マニュアル及び関連資料を十分ご確認ください、使用上の注意を守って正しくご使用ください。



取扱い上の注意

- 本書に記載されている内容は、将来予告なく変更されることがあります。本製品のご使用にあたっては、弊社窓口または弊社ホームページなどで最新の情報をご確認ください。
- 本製品には一般電子機器用部品が使用されています。極めて高い信頼性を要求する装置(航空、宇宙機器、原子力制御機器、生命維持のための医療機器等)には使用しないでください。
- 本製品は国内使用を前提として開発及び製造を行っています。本製品または本製品を組み込んだ製品を輸出される場合は、お客様の責任において「外国為替及び外国貿易法」及びその他輸出関連法令等を順守し、必要な手続きを行ってください。
- LAN、USB 以外のコネクタへのケーブルの抜き差しは、必ず電源を OFF にした状態で行ってください。
- 水、湿気、ほこり、油煙等の多い場所では使用しないでください。
- 本製品の関連資料の全部または一部を弊社に無断で使用または複製することを禁止します。
- 本書及び関連資料で取り上げる会社名及び製品名等は、各社の商標または登録商標です。

お問い合わせ先

- 製品に関するお問い合わせは、下記のメールアドレスよりお願いいたします。

keim-support@kd-group.co.jp

目次

1. 概要	4
1.1. 製品の特長	4
1.2. 基本仕様	5
1.3. ボードブロック図	6
1.4. ボードレイアウト	7
2. 機能仕様	8
2.1. 電源回路	8
2.1.1. パワーアップシーケンス	9
2.1.2. パワーダウンシーケンス	9
2.2. リセット回路	10
2.2.1. リセットタイミング:再コンフィグレーション	10
2.2.2. リセットタイミング:HPS コールドリセット	11
2.2.3. リセットタイミング:FPGA リセット	11
2.3. クロック回路	12
2.4. SDMMC インターフェース	13
2.5. コンフィグレーション回路	13
2.6. モードスイッチ	14
2.7. ステータス LED	14
2.8. BtoB コネクタ (CN1, CN2)	15
2.8.1. CN1 ピンアサイン	15
2.8.2. CN2 ピンアサイン	17
2.8.3. 信号名と説明	18
3. 電気的特性	20
3.1. 絶対最大定格	20
3.2. 推奨動作条件	20
3.3. 入出力ピン仕様	20
4. 基板外形	21
5. 更新履歴	21

1. 概要

本書は、Agilex™ 5 FPGA & SoC E シリーズを搭載した System on Module (以降 SoM) KEIm-A5ESoM のハードウェア仕様について記載したハードウェアマニュアルです。

1.1. 製品の特長

本製品は、Agilex™ 5 FPGA & SoC E シリーズを搭載した小型の FPGA 組み込みプラットフォームです。モジュール上には SoC FPGA の他に、メモリブロックとして LPDDR4 SDRAM、ストレージデバイスとして eMMC 又は microSD カード、コンフィグレーション ROM として QSPI フラッシュを搭載しています。本製品には以下の特長があります。

- ① FPGA を搭載
超低遅延や並列処理などの FPGA の特長を生かして、IoT に不可欠なエッジデバイスの製品開発に最適なコンポーネントとなっています。
- ② モジュールの外形が小さい
モジュールを搭載する面積が小さくて済むため、最終製品の小型化や製品デザインの差別化に有効です。
- ③ 必要十分のコンポーネントを搭載
搭載機能を必要最小限に限定しているため、無駄が無くフレキシビリティの高い構成となっています。構成が単純化されているので、相対的に信頼性や安定性が高いモジュールとなっています。
- ④ 長期製品ライフ
産業機器をはじめとするライフサイクルの長い機器に安心して採用していただけるよう、長期供給のコンポーネントとなっています。

本製品は SoM という形態をとっており、お客様自身が特定用途を有したキャリアボードを開発して組み込むことを想定した製品となっています。設計に時間の掛かるコアプロセッサ周りは本製品をそのまま使用し、用途毎にキャリアボードを開発することによって、製品の開発時間を短縮することが可能です。

1.2. 基本仕様

表 1-1 SoM 基本仕様

項目		内容
SoC FPGA		Agilex™ 5 FPGA & SoC E シリーズ
	デバイス型式	A5ED065BB32AE5SR0
	Processor	Dual-core Arm Cortex-A76, Dual-core Arm Cortex-A55
	Logic Elements / Adaptive logic modules	656 kLEs / 222,400 ALMs
	M20K memory blocks / size	1,611 blocks / 31.46 Mbits
	MLAB memory count / size	8,440 count / 6.79 Mbits
	I/O PLL	8
	Fabric-feeding I/O PLL	13
	Variable-precision DSP blocks 18 x 19 multipliers	846 1,692
LPDDR4 SDRAM		4GByte (1G x 32bit) x3 MT53E1G32D2FW-046 (Micron)
QSPI Flash		256MByte (2Gbit) MT25QU02GCBB (Micron)
eMMC		32GByte MTFC32GAZAQHD (Micron)
SD		microSD カードスロット
クロック	OSC	100MHz
	Clock Generator	Low-Jitter 4-Output Clock Generator Si5340B-D-GM (Skyworks)
BtoB コネクタ		400 pin 基板間コネクタ x2
	コネクタ型式	ADF6-100-03.5-L-4-2-A (Samtec)
	HPS-IO	Ethernet (RGMII) x1, USB OTG (ULPI) x1, UART x1, I2C x1, QSPI x1, GPIO 最大 21 本 (HPS の構成による)
	HSIO	最大 96 本
	HVIO	最大 120 本
	Transceiver (17 Gbps)	24 レーン
Debug I/F		JTAG
入力電源		+5V±5% (4.75V~5.25V), VCCIO (構成による)
消費電流		TBD
使用温度範囲		-25°C~ +85°C
外形寸法		118×77mm

1.3. ボードブロック図

本製品のボードブロック図を図 1-1 に示します。

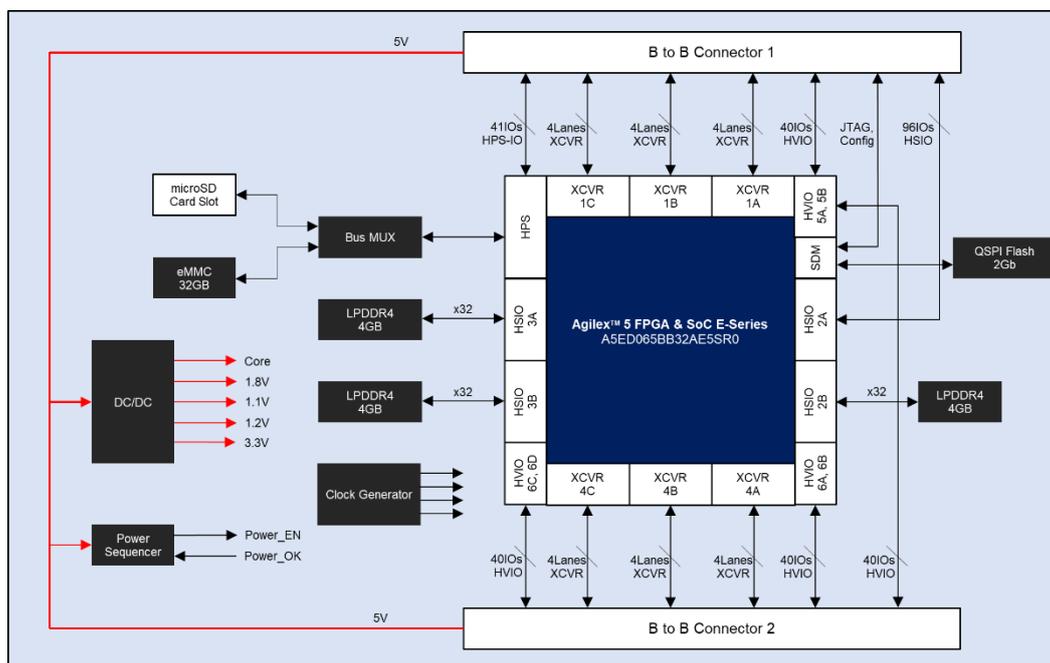


図 1-1 SoM ボードブロック図

1.4. ボードレイアウト

本製品のボードレイアウトを図 1-2 に、本製品に搭載されている主要なコンポーネントを表 1-2 に記載します。

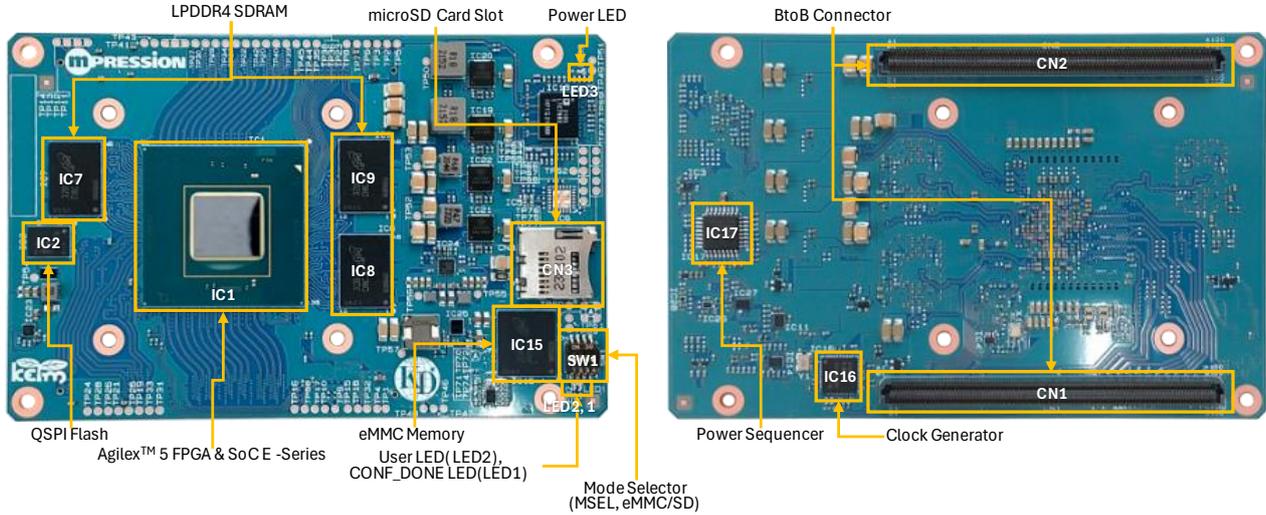


図 1-2 SoM ボードレイアウト

表 1-2 主要コンポーネント一覧

リファレンス	名称	説明
IC1	SoC FPGA	Agilx™ 5 FPGA & SoC E シリーズ Device Group B A5ED065BB32AE5SR0 : 1591pin BGA
IC2	QSPI Flash Memory	MT25QU02GCBB8E12-0SIT (Micron)
IC7, IC8, IC9	LPDDR4 SDRAM	MT53E1G32D2FW-046WT:B (Micron)
IC15	eMMC	MTFC32GAZAQHD-IT (Micron) microSD カードと排他切替で使用可能。
IC16	クロックジェネレータ	Si5340B-D-GM (Skyworks)
IC17	パワーシーケンサ	ADM1168ASTZ (Analog Devices)
CN1, CN2	BtoB コネクタ	ADF6-100-03.5-L-4-2-A (Samtec) 400ピン, 0.635mmピッチ 4列ソケット。
CN3	microSD カードスロット	eMMC と排他切替で使用可能。
LED1	CONF_DONE LED	FPGA コンフィグレーション完了時に点灯。
LED2	ユーザ LED	HPS GPIO 制御, Low で点灯。
LED3	電源 LED	5V 電源入力が入可されたときに点灯。
SW1	動作モードスイッチ	FPGA のコンフィグレーションモード及び eMMC/SD カードの選択用のデ ィップスイッチ。

2. 機能仕様

2.1. 電源回路

本製品の電源回路の構成を図 2-1 に示します。

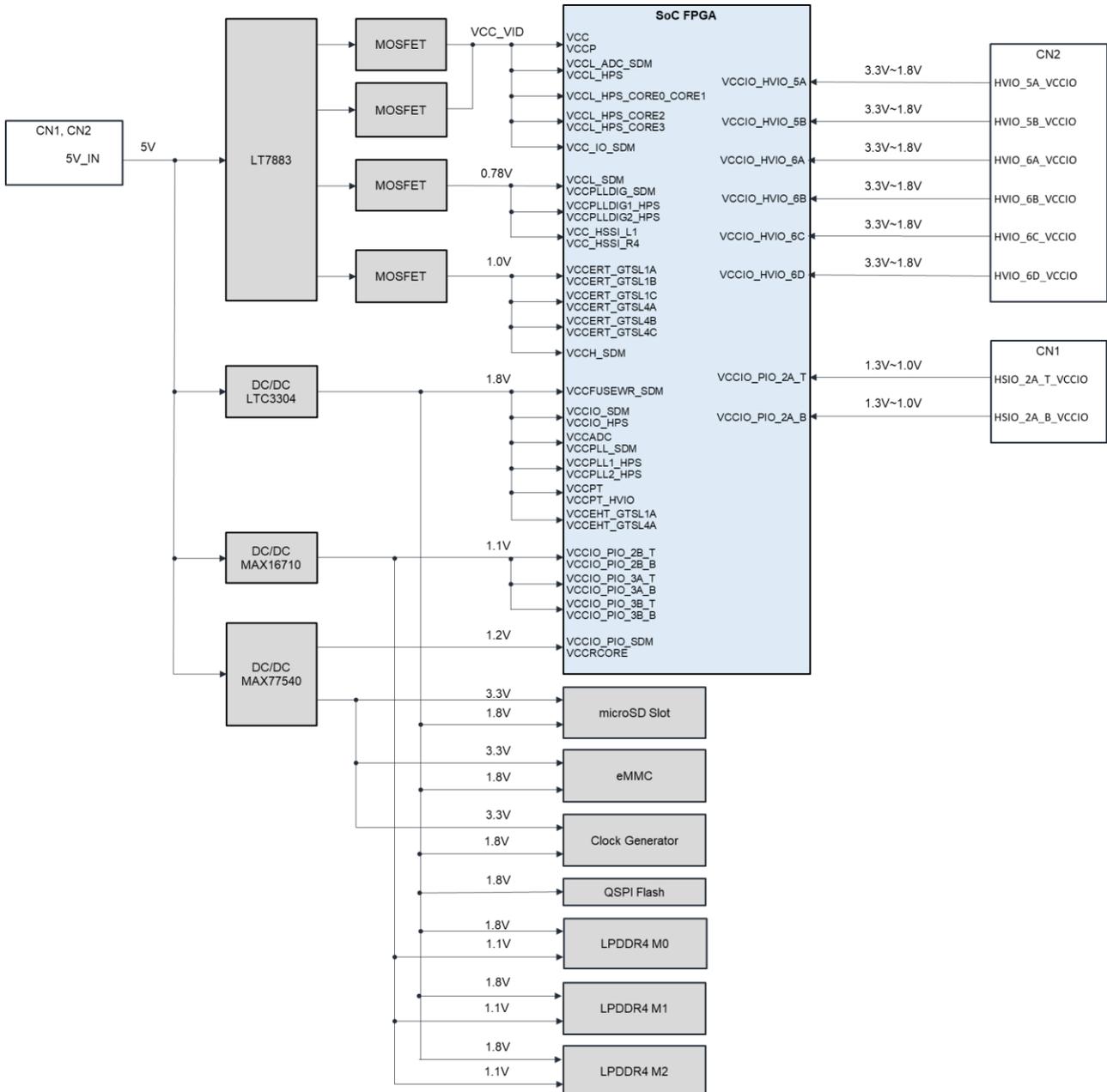


図 2-1 電源回路構成

2.1.1. パワーアップシーケンス

本製品のパワーアップシーケンスを図 2-2 に示します。

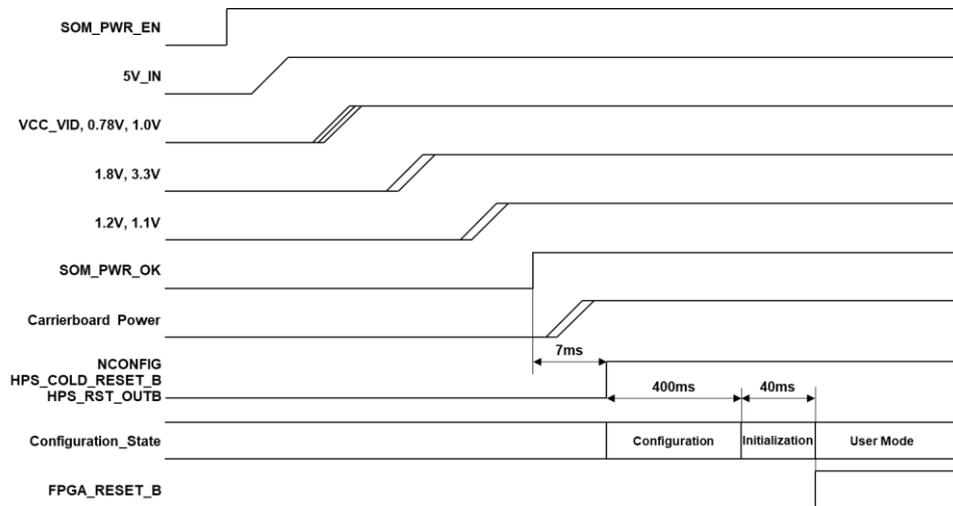


図 2-2 パワーアップシーケンス

※SoM 外部からの VCCIO 電源及び各 IO ピンへの電圧印可は、本製品の SOM_PWR_OK 信号が High になってから行ってください。

2.1.2. パワーダウンシーケンス

本製品のパワーダウンシーケンスを図 2-2 に示します。

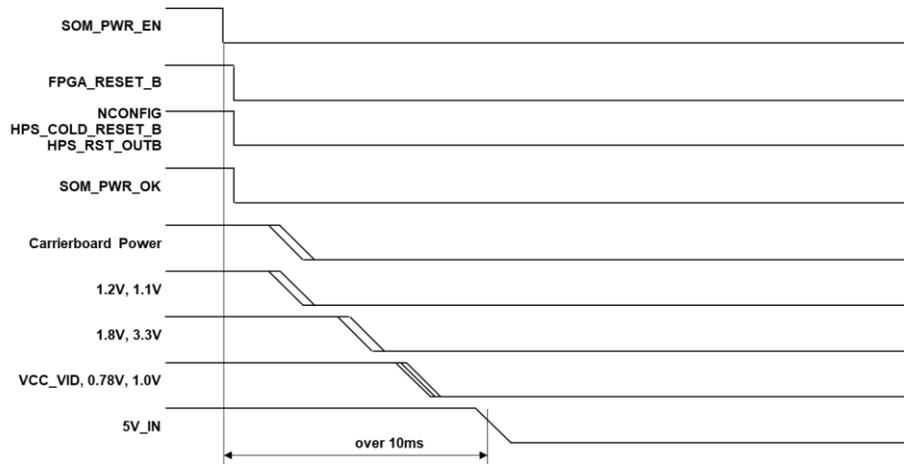


図 2-3 パワーダウンシーケンス

※パワーダウンシーケンスを守るため、5V_IN を落とす前に SOM_PWR_EN を Low にした後 10ms 程度待って 5V_IN を落としてください。

2.2. リセット回路

本製品のリセット回路の構成を図 2-4 に示します。リセットの制御はADM1168により管理しています。また、外部より再コンフィグレーション、HPS コールドリセット、FPGA リセットの 3 種類のリセット要因を入力することができます。

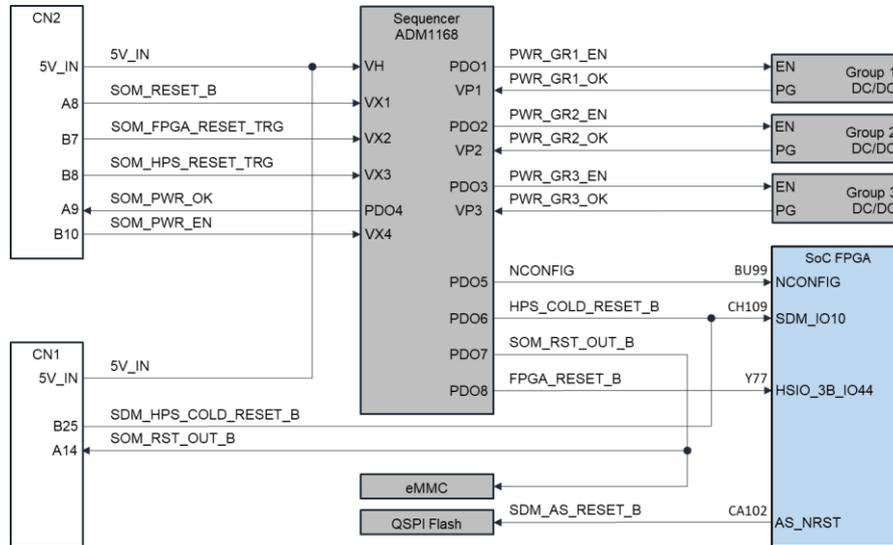


図 2-4 リセット回路構成

2.2.1. リセットタイミング:再コンフィグレーション

SOM_RESET_B 信号を 0.3ms 以上 Low にすることによって、本製品を再コンフィグレーションすることが可能です。タイミング図を図 2-5 に示します。

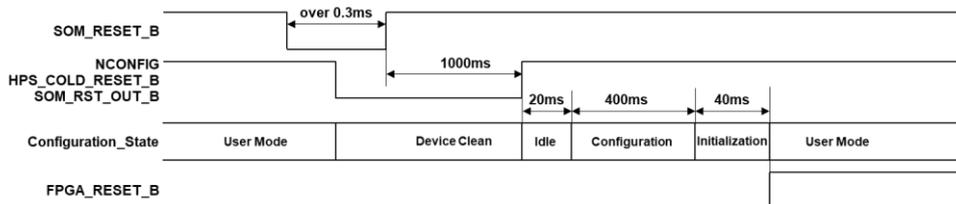


図 2-5 再コンフィグレーションタイミング

2.2.2. リセットタイミング:HPS コールドリセット

SOM_HPS_RESET_TRG_B 信号を 0.3ms 以上 Low にすることによって、HPS コールドリセットをかけることが可能です。タイミング図を図 2-6 に示します。

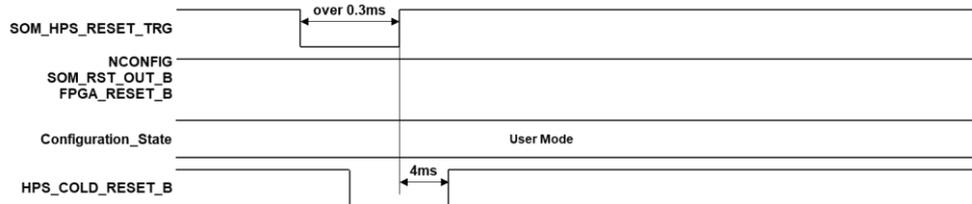


図 2-6 HPS コールドリセットタイミング

2.2.3. リセットタイミング:FPGA リセット

SOM_FPGA_RESET_TRG_B 信号を 0.3ms 以上 Low にすることによって、FPGA リセットをかけることが可能です。タイミング図を図 2-7 に示します。

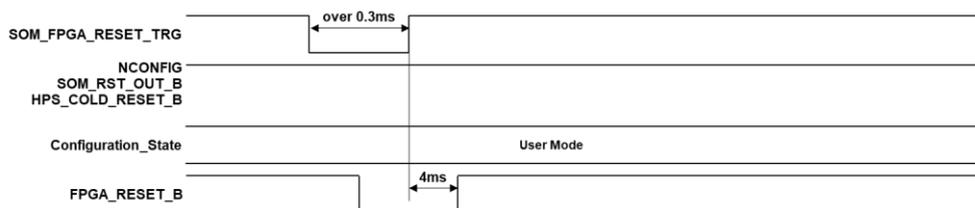


図 2-7 FPGA リセットタイミング

2.3. クロック回路

本製品のクロック回路の構成を図 2-8 に示します。

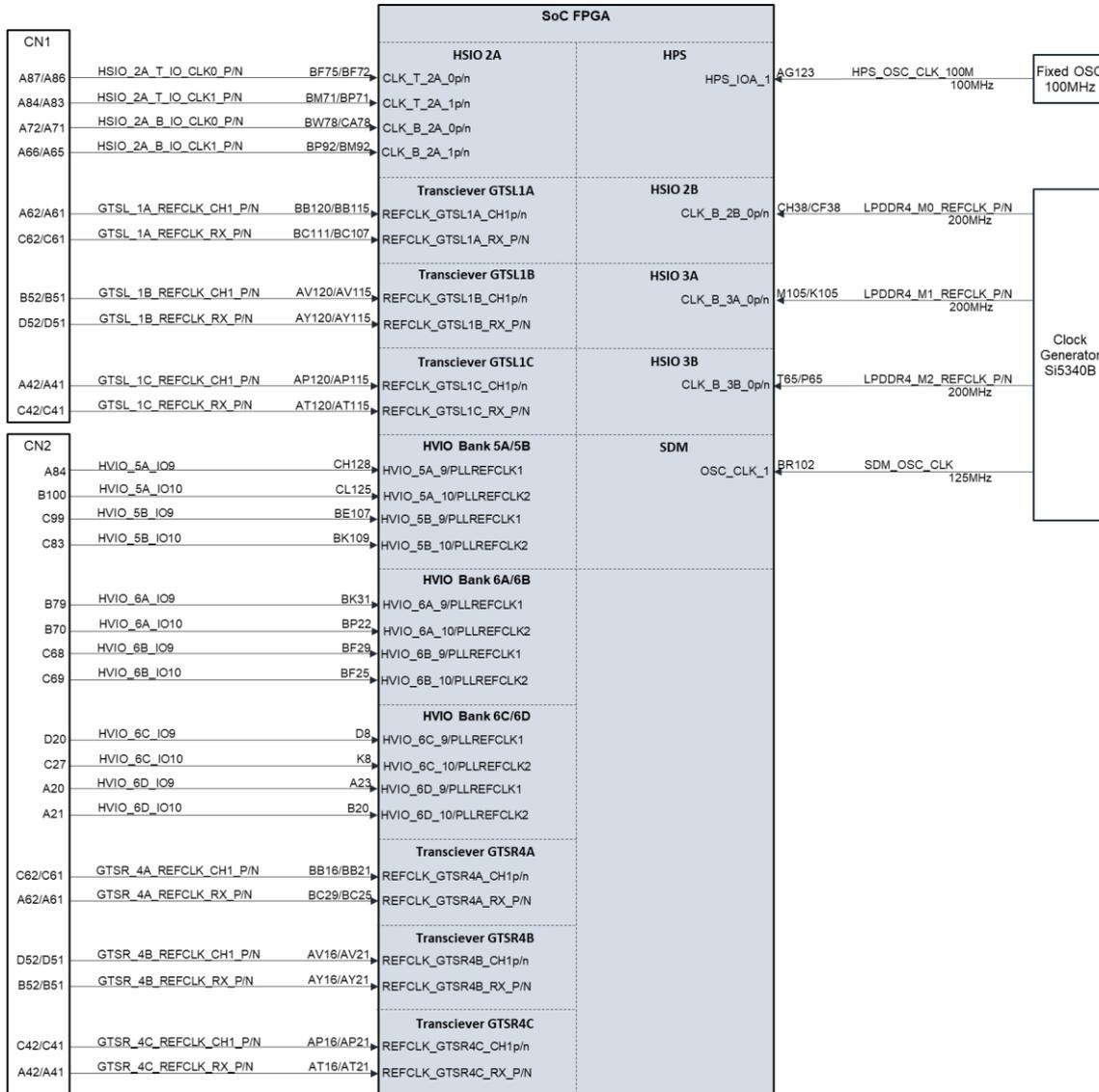


図 2-8 クロック回路構成

2.4. SDMMC インターフェース

本製品はブート用のメモリとして microSD カードスロットと eMMC メモリを搭載しています。ブート用のメモリはどちらか一方のみ使用可能となっており、SW1 で使用するメモリを選択します。図 2-9 に接続構成図、表 2-1 に SW1 の仕様を示します。

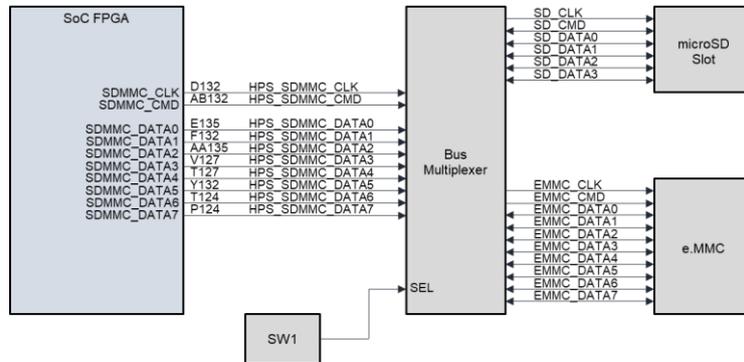


図 2-9 SDMMC インターフェース

2.5. コンフィグレーション回路

本製品のコンフィグレーション回路の構成を図 2-10 に示します。本製品は SW1 の設定によりコンフィグレーション元のデバイスを選択できます。表 2-1 に SW1 の設定モードと選択されるコンフィグレーションデバイスの関係に記載します。

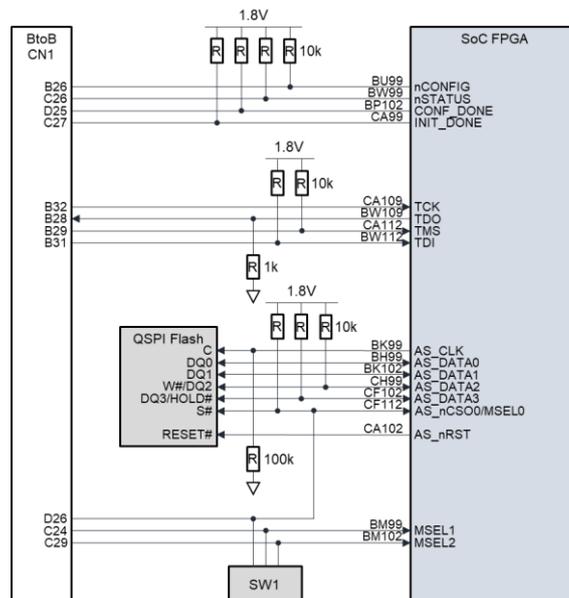
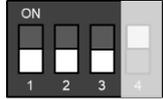
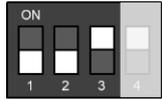


図 2-10 コンフィグレーション回路構成

2.6. モードスイッチ

本製品には動作モード設定用のスイッチを搭載しています。スイッチの各機能を表 2-1 に記載します。

表 2-1 モードスイッチ

リファレンス	名称	説明				
SW1.1	MSEL0	コンフィグレーションモードの選択				
		モード	MSEL0	MSEL1	MSEL2	参考図
		JTAG only mode (デフォルト)	OFF	OFF	OFF	
SW1.2	MSEL1	AS Normal mode	OFF	OFF	ON	
SW1.3	MSEL2	AS Fast mode	OFF	ON	ON	
SW1.4	SDMMC_SEL	ストレージメモリの選択 ON: SD mode (デフォルト) OFF: eMMC mode				

※MSELの詳細は Agilent™ 5 FPGA & SoC E シリーズのマニュアルを確認してください。

2.7. ステータス LED

本製品にはステータス確認用の LED を搭載しています。LED の各機能を表 2-2 に記載します。

表 2-2 ステータス LED

リファレンス	名称	説明
LED1	CONF_DONE LED	コンフィグレーション状態を表示します。 点灯:コンフィグレーション完了 消灯:コンフィグレーション未完了
LED2	ユーザ LED	ユーザ用 LED です。HPS_IOA12 に接続しています。 点灯:端子を Low 消灯:端子を High
LED3	電源 LED	電源入力状態を示す LED です。電源 5V が印可されると点灯します。

2.8. BtoB コネクタ (CN1, CN2)

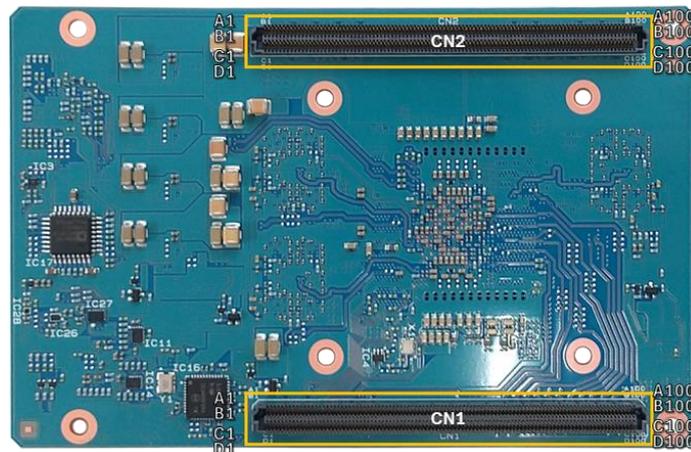


図 2-11 BtoB コネクタレイアウト

2.8.1. CN1 ピンアサイン

表 2-3 CN1 ピンアサイン

Pin No.	A 列	B 列	C 列	D 列
1	5V_IN	5V_IN	5V_IN	5V_IN
2	5V_IN	5V_IN	5V_IN	5V_IN
3	5V_IN	5V_IN	5V_IN	5V_IN
4	GND	5V_IN	GND	5V_IN
5	HPS_ULPI_DATA5	5V_IN	SOM_RSVD	5V_IN
6	HPS_ULPI_DATA3	GND	SOM_RSVD	GND
7	GND	HPS_ULPI_DATA2	GND	HPS_RGMII_TX_CLK
8	HPS_ULPI_DATA7	HPS_ULPI_DATA6	HPS_RGMII_RX_CLK	HPS_RGMII_TX_CTRL
9	HPS_ULPI_DATA1	GND	HPS_RGMII_RX_CTRL	GND
10	GND	HPS_ULPI_DATA4	GND	HPS_RGMII_TXD0
11	HPS_ULPI_DATA0	HPS_ULPI_CLK	HPS_RGMII_RXD0	HPS_RGMII_TXD1
12	HPS_ULPI_NEXT	GND	HPS_RGMII_RXD1	GND
13	GND	HPS_ULPI_STP	GND	HPS_RGMII_TXD2
14	SOM_RST_OUT_B_1V8	HPS_ULPI_DIR	HPS_RGMII_RXD2	HPS_RGMII_TXD3
15	-	GND	HPS_RGMII_RXD3	GND
16	GND	HPS_INT_B_1V8	GND	HPS_ETH_MDIO
17	HPS_UART_TXD	HPS_IOB5_1V8	HPS_I2C_SCL_1V8	HPS_ETH_MDC
18	HPS_UART_RXD	GND	HPS_I2C_SDA_1V8	GND
19	GND	HPS_1PPS_OUT	GND	HPS_ETH_INT_B
20	HPS_IOB12_1V8	HPS_1PPS_IN	HPS_IOA12_1V8	-
21	HPS_IOB11_1V8	GND	HPS_IOA11_1V8	GND
22	GND	HPS_IOB10_1V8	GND	SOM_RSVD
23	-	HPS_IOB9_1V8	-	SOM_RSVD
24	-	GND	SDM_MSEL1_B2B_1V8	GND
25	GND	SDM_HPS_COLD_RESET_B_1V8	GND	SDM_CONF_DONE_1V8
26	SDM_TEMPDIODE0A_N	SDM_NCONFIG_1V8	SDM_NSTATUS_1V8	SDM_MSEL0_B2B_1V8
27	SDM_TEMPDIODE0A_P	GND	SDM_INIT_DONE_1V8	GND
28	GND	SOM_JTAG_TDO_1V8	GND	SDM_IO13_1V8
29	SOM_PMBUS_SDA_3V3	SOM_JTAG_TMS_1V8	SDM_MSEL2_B2B_1V8	SDM_IO12_1V8
30	SOM_PMBUS_SCL_3V3	GND	SOM_SDMMMC_SEL_B2B_1V8	GND
31	GND	SOM_JTAG_TDI_1V8	GND	-
32	GND	SOM_JTAG_TCK_1V8	GND	SDM_IO8_1V8
33	GTSL_1C_TX_CH3_N	GND	GTSL_1C_TX_CH2_N	GND
34	GTSL_1C_TX_CH3_P	GND	GTSL_1C_TX_CH2_P	GND
35	GND	GTSL_1C_RX_CH3_N	GND	GTSL_1C_RX_CH2_N
36	GND	GTSL_1C_RX_CH3_P	GND	GTSL_1C_RX_CH2_P
37	GTSL_1C_TX_CH1_N	GND	GTSL_1C_TX_CH0_N	GND

Pin No.	A 列	B 列	C 列	D 列
38	GTSL_1C_TX_CH1_P	GND	GTSL_1C_TX_CH0_P	GND
39	GND	GTSL_1C_RX_CH1_N	GND	GTSL_1C_RX_CH0_N
40	GND	GTSL_1C_RX_CH1_P	GND	GTSL_1C_RX_CH0_P
41	GTSL_1C_REFCLK_CH1_N	GND	GTSL_1C_REFCLK_RX_N	GND
42	GTSL_1C_REFCLK_CH1_P	GND	GTSL_1C_REFCLK_RX_P	GND
43	GND	GTSL_1B_TX_CH3_N	GND	GTSL_1B_TX_CH2_N
44	GND	GTSL_1B_TX_CH3_P	GND	GTSL_1B_TX_CH2_P
45	GTSL_1B_RX_CH3_N	GND	GTSL_1B_RX_CH2_N	GND
46	GTSL_1B_RX_CH3_P	GND	GTSL_1B_RX_CH2_P	GND
47	GND	GTSL_1B_TX_CH1_N	GND	GTSL_1B_TX_CH0_N
48	GND	GTSL_1B_TX_CH1_P	GND	GTSL_1B_TX_CH0_P
49	GTSL_1B_RX_CH1_N	GND	GTSL_1B_RX_CH0_N	GND
50	GTSL_1B_RX_CH1_P	GND	GTSL_1B_RX_CH0_P	GND
51	GND	GTSL_1B_REFCLK_CH1_N	GND	GTSL_1B_REFCLK_RX_N
52	GND	GTSL_1B_REFCLK_CH1_P	GND	GTSL_1B_REFCLK_RX_P
53	GTSL_1A_TX_CH3_N	GND	GTSL_1A_TX_CH2_N	GND
54	GTSL_1A_TX_CH3_P	GND	GTSL_1A_TX_CH2_P	GND
55	GND	GTSL_1A_RX_CH3_N	GND	GTSL_1A_RX_CH2_N
56	GND	GTSL_1A_RX_CH3_P	GND	GTSL_1A_RX_CH2_P
57	GTSL_1A_TX_CH1_N	GND	GTSL_1A_TX_CH0_N	GND
58	GTSL_1A_TX_CH1_P	GND	GTSL_1A_TX_CH0_P	GND
59	GND	GTSL_1A_RX_CH1_N	GND	GTSL_1A_RX_CH0_N
60	GND	GTSL_1A_RX_CH1_P	GND	GTSL_1A_RX_CH0_P
61	GTSL_1A_REFCLK_CH1_N	GND	GTSL_1A_REFCLK_RX_N	GND
62	GTSL_1A_REFCLK_CH1_P	GND	GTSL_1A_REFCLK_RX_P	GND
63	GND	HSIO_2A_B_IO_N5	GND	HSIO_2A_B_IO_N17
64	GND	HSIO_2A_B_IO_P5	GND	HSIO_2A_B_IO_P17
65	HSIO_2A_B_IO_CLK1_N	GND	HSIO_2A_B_IO_N11	GND
66	HSIO_2A_B_IO_CLK1_P	HSIO_2A_B_IO_N4	HSIO_2A_B_IO_P11	HSIO_2A_B_IO_N18
67	GND	HSIO_2A_B_IO_P4	GND	HSIO_2A_B_IO_P18
68	HSIO_2A_B_IO_N1	GND	HSIO_2A_B_IO_N12	GND
69	HSIO_2A_B_IO_P1	HSIO_2A_B_IO_N3	HSIO_2A_B_IO_P12	HSIO_2A_B_IO_N16
70	GND	HSIO_2A_B_IO_P3	GND	HSIO_2A_B_IO_P16
71	HSIO_2A_B_IO_CLK0_N	GND	HSIO_2A_B_IO_N10	GND
72	HSIO_2A_B_IO_CLK0_P	HSIO_2A_B_IO_N2	HSIO_2A_B_IO_P10	HSIO_2A_B_IO_N15
73	GND	HSIO_2A_B_IO_P2	GND	HSIO_2A_B_IO_P15
74	HSIO_2A_B_IO_N23	GND	HSIO_2A_B_IO_N9	GND
75	HSIO_2A_B_IO_P23	HSIO_2A_B_IO_N24	HSIO_2A_B_IO_P9	HSIO_2A_B_IO_N14
76	GND	HSIO_2A_B_IO_P24	GND	HSIO_2A_B_IO_P14
77	HSIO_2A_B_IO_N22	GND	HSIO_2A_B_IO_N8	GND
78	HSIO_2A_B_IO_P22	HSIO_2A_B_IO_N21	HSIO_2A_B_IO_P8	HSIO_2A_B_IO_N13
79	GND	HSIO_2A_B_IO_P21	GND	HSIO_2A_B_IO_P13
80	HSIO_2A_B_IO_N20	GND	HSIO_2A_B_IO_N19	GND
81	HSIO_2A_B_IO_P20	HSIO_2A_T_IO_N17	HSIO_2A_B_IO_P19	HSIO_2A_B_VCCIO
82	GND	HSIO_2A_T_IO_P17	GND	HSIO_2A_B_VCCIO
83	HSIO_2A_T_IO_CLK1_N	GND	HSIO_2A_T_IO_N6	GND
84	HSIO_2A_T_IO_CLK1_P	HSIO_2A_T_IO_N16	HSIO_2A_T_IO_P6	HSIO_2A_T_IO_N11
85	GND	HSIO_2A_T_IO_P16	GND	HSIO_2A_T_IO_P11
86	HSIO_2A_T_IO_CLK0_N	GND	HSIO_2A_T_IO_N5	GND
87	HSIO_2A_T_IO_CLK0_P	HSIO_2A_T_IO_N15	HSIO_2A_T_IO_P5	HSIO_2A_T_IO_N12
88	GND	HSIO_2A_T_IO_P15	GND	HSIO_2A_T_IO_P12
89	HSIO_2A_T_IO_N21	GND	HSIO_2A_T_IO_N4	GND
90	HSIO_2A_T_IO_P21	HSIO_2A_T_IO_N14	HSIO_2A_T_IO_P4	HSIO_2A_T_IO_N10
91	GND	HSIO_2A_T_IO_P14	GND	HSIO_2A_T_IO_P10
92	HSIO_2A_T_IO_N20	GND	HSIO_2A_T_IO_N2	GND
93	HSIO_2A_T_IO_P20	HSIO_2A_T_IO_N13	HSIO_2A_T_IO_P2	HSIO_2A_T_IO_N9
94	GND	HSIO_2A_T_IO_P13	GND	HSIO_2A_T_IO_P9
95	HSIO_2A_T_IO_N24	GND	HSIO_2A_T_IO_N3	GND
96	HSIO_2A_T_IO_P24	HSIO_2A_T_IO_N1	HSIO_2A_T_IO_P3	HSIO_2A_T_IO_N8
97	GND	HSIO_2A_T_IO_P1	GND	HSIO_2A_T_IO_P8
98	HSIO_2A_T_IO_N23	GND	HSIO_2A_T_IO_N7	GND
99	HSIO_2A_T_IO_P23	HSIO_2A_T_IO_N22	HSIO_2A_T_IO_P7	HSIO_2A_T_VCCIO
100	GND	HSIO_2A_T_IO_P22	GND	HSIO_2A_T_VCCIO

2.8.2. CN2 ピンアサイン

表 2-4 CN2 ピンアサイン

Pin No.	A 列	B 列	C 列	D 列
1	5V_IN	5V_IN	5V_IN	5V_IN
2	5V_IN	5V_IN	5V_IN	5V_IN
3	5V_IN	5V_IN	5V_IN	5V_IN
4	GND	5V_IN	GND	5V_IN
5	SOM_RSVD	5V_IN	SOM_RSVD	5V_IN
6	SOM_RSVD	GND	SOM_RSVD	GND
7	GND	SOM_FPGA_RESET_TRG_1V8	GND	SOM_RSVD
8	SOM_RESET_B_1V8	SOM_HPS_RESET_TRG_1V8	SOM_CLKG_SCL_1V8	SOM_RSVD
9	SOM_PWR_OK	GND	SOM_CLKG_SDA_1V8	GND
10	GND	SOM_PWR_EN	GND	1.8V_VCCBAT
11	HVIO_6D_VCCIO	-	-	-
12	HVIO_6D_VCCIO	GND	-	GND
13	GND	HVIO_6D_IO17	GND	HVIO_6C_IO3
14	HVIO_6D_IO18	HVIO_6D_IO20	HVIO_6C_IO2	HVIO_6C_IO1
15	HVIO_6D_IO19	GND	HVIO_6C_IO7	GND
16	GND	HVIO_6D_IO15	GND	HVIO_6C_IO4
17	HVIO_6D_IO14	HVIO_6D_IO16	HVIO_6C_IO6	HVIO_6C_IO5
18	HVIO_6D_IO13	GND	HVIO_6C_IO8	GND
19	GND	HVIO_6D_IO11	GND	HVIO_6C_IO11
20	HVIO_6D_IO9	HVIO_6D_IO12	HVIO_6C_IO14	HVIO_6C_IO9
21	HVIO_6D_IO10	GND	HVIO_6C_IO13	GND
22	GND	HVIO_6D_IO7	GND	HVIO_6C_IO15
23	HVIO_6D_IO6	HVIO_6D_IO8	HVIO_6C_IO19	HVIO_6C_IO17
24	HVIO_6D_IO5	GND	HVIO_6C_IO20	GND
25	GND	HVIO_6D_IO3	GND	HVIO_6C_IO16
26	HVIO_6D_IO1	HVIO_6D_IO4	HVIO_6C_IO12	HVIO_6C_IO18
27	HVIO_6D_IO2	GND	HVIO_6C_IO10	GND
28	GND	-	GND	HVIO_6C_VCCIO
29	-	-	-	HVIO_6C_VCCIO
30	-	GND	-	GND
31	GND	-	GND	-
32	GND	-	GND	-
33	GTSR_4C_RX_CH2_N	GND	GTSR_4C_RX_CH3_N	GND
34	GTSR_4C_RX_CH2_P	GND	GTSR_4C_RX_CH3_P	GND
35	GND	GTSR_4C_TX_CH2_N	GND	GTSR_4C_TX_CH3_N
36	GND	GTSR_4C_TX_CH2_P	GND	GTSR_4C_TX_CH3_P
37	GTSR_4C_RX_CH0_N	GND	GTSR_4C_RX_CH1_N	GND
38	GTSR_4C_RX_CH0_P	GND	GTSR_4C_RX_CH1_P	GND
39	GND	GTSR_4C_TX_CH0_N	GND	GTSR_4C_TX_CH1_N
40	GND	GTSR_4C_TX_CH0_P	GND	GTSR_4C_TX_CH1_P
41	GTSR_4C_REFCLK_RX_N	GND	GTSR_4C_REFCLK_CH1_N	GND
42	GTSR_4C_REFCLK_RX_P	GND	GTSR_4C_REFCLK_CH1_P	GND
43	GND	GTSR_4B_RX_CH2_N	GND	GTSR_4B_RX_CH3_N
44	GND	GTSR_4B_RX_CH2_P	GND	GTSR_4B_RX_CH3_P
45	GTSR_4B_TX_CH2_N	GND	GTSR_4B_TX_CH3_N	GND
46	GTSR_4B_TX_CH2_P	GND	GTSR_4B_TX_CH3_P	GND
47	GND	GTSR_4B_RX_CH0_N	GND	GTSR_4B_RX_CH1_N
48	GND	GTSR_4B_RX_CH0_P	GND	GTSR_4B_RX_CH1_P
49	GTSR_4B_TX_CH0_N	GND	GTSR_4B_TX_CH1_N	GND
50	GTSR_4B_TX_CH0_P	GND	GTSR_4B_TX_CH1_P	GND
51	GND	GTSR_4B_REFCLK_RX_N	GND	GTSR_4B_REFCLK_CH1_N
52	GND	GTSR_4B_REFCLK_RX_P	GND	GTSR_4B_REFCLK_CH1_P
53	GTSR_4A_RX_CH2_N	GND	GTSR_4A_RX_CH3_N	GND
54	GTSR_4A_RX_CH2_P	GND	GTSR_4A_RX_CH3_P	GND
55	GND	GTSR_4A_TX_CH2_N	GND	GTSR_4A_TX_CH3_N
56	GND	GTSR_4A_TX_CH2_P	GND	GTSR_4A_TX_CH3_P
57	GTSR_4A_RX_CH0_N	GND	GTSR_4A_RX_CH1_N	GND
58	GTSR_4A_RX_CH0_P	GND	GTSR_4A_RX_CH1_P	GND

Pin No.	A 列	B 列	C 列	D 列
59	GND	GTSR_4A_TX_CH0_N	GND	GTSR_4A_TX_CH1_N
60	GND	GTSR_4A_TX_CH0_P	GND	GTSR_4A_TX_CH1_P
61	GTSR_4A_REFCLK_RX_N	GND	GTSR_4A_REFCLK_CH1_N	GND
62	GTSR_4A_REFCLK_RX_P	GND	GTSR_4A_REFCLK_CH1_P	GND
63	GND	-	GND	-
64	GND	-	GND	-
65	HVIO_6A_IO19	GND	HVIO_6B_IO8	GND
66	HVIO_6A_IO15	HVIO_6A_IO17	HVIO_6B_IO4	HVIO_6B_IO3
67	GND	HVIO_6A_IO18	GND	HVIO_6B_IO5
68	HVIO_6A_IO13	GND	HVIO_6B_IO9	GND
69	HVIO_6A_IO12	HVIO_6A_IO20	HVIO_6B_IO10	HVIO_6B_IO6
70	GND	HVIO_6A_IO10	GND	HVIO_6B_IO7
71	HVIO_6A_IO1	GND	HVIO_6B_IO11	GND
72	HVIO_6A_IO7	HVIO_6A_IO14	HVIO_6B_IO1	HVIO_6B_IO2
73	GND	HVIO_6A_IO3	GND	HVIO_6B_IO13
74	HVIO_6A_IO6	GND	HVIO_6B_IO12	GND
75	HVIO_6A_IO2	HVIO_6A_IO16	HVIO_6B_IO15	HVIO_6B_IO16
76	GND	HVIO_6A_IO11	GND	HVIO_6B_IO14
77	HVIO_6A_IO5	GND	HVIO_6B_IO18	GND
78	HVIO_6A_IO8	HVIO_6A_IO4	HVIO_6B_IO17	HVIO_6B_IO20
79	GND	HVIO_6A_IO9	GND	HVIO_6B_IO19
80	HVIO_6A_VCCIO	GND	-	GND
81	HVIO_6A_VCCIO	HVIO_5A_IO13	-	HVIO_6B_VCCIO
82	GND	HVIO_5A_IO14	GND	HVIO_6B_VCCIO
83	HVIO_5A_IO7	GND	HVIO_5B_IO10	GND
84	HVIO_5A_IO9	HVIO_5A_IO11	HVIO_5B_IO8	HVIO_5B_IO6
85	GND	HVIO_5A_IO16	GND	HVIO_5B_IO16
86	HVIO_5A_IO12	GND	HVIO_5B_IO13	GND
87	HVIO_5A_IO2	HVIO_5A_IO1	HVIO_5B_IO7	HVIO_5B_IO2
88	GND	HVIO_5A_IO15	GND	HVIO_5B_IO12
89	HVIO_5A_VCCIO	GND	HVIO_5B_IO18	GND
90	HVIO_5A_VCCIO	-	HVIO_5B_IO17	HVIO_5B_VCCIO
91	GND	-	GND	HVIO_5B_VCCIO
92	HVIO_5A_IO4	GND	HVIO_5B_IO5	GND
93	HVIO_5A_IO18	HVIO_5A_IO8	HVIO_5B_IO15	HVIO_5B_IO14
94	GND	HVIO_5A_IO3	GND	HVIO_5B_IO19
95	HVIO_5A_IO5	GND	HVIO_5B_IO4	GND
96	HVIO_5A_IO17	HVIO_5A_IO6	HVIO_5B_IO20	HVIO_5B_IO1
97	GND	HVIO_5A_IO20	GND	HVIO_5B_IO3
98	SOM_RSVD	GND	HVIO_5B_IO11	GND
99	SOM_RSVD	HVIO_5A_IO19	HVIO_5B_IO9	SOM_RSVD
100	GND	HVIO_5A_IO10	GND	SOM_RSVD

2.8.3. 信号名と説明

表 2-5 BtoB コネクタの信号名と説明

信号名	Dir	電圧	接続先	説明
5V_IN	In	5V	電源回路	電源入力
GND	-	-	GND	グラウンド
1.8V_VCCBAT	In	1.8V	VCCBAT	AES 用バッテリーバックアップ電源入力
SOM_RSVD	-	-	未接続	予約ピン
HPS_ULPI_DATA[7:0]	I/O	1.8V	HPS	USB ULPI データバス
HPS_ULPI_CLK	In	1.8V	HPS	USB ULPI クロック
HPS_ULPI_NXT	In	1.8V	HPS	USB ULPI NXT 信号
HPS_ULPI_STP	Out	1.8V	HPS	USB ULPI STP 信号
HPS_ULPI_DIR	In	1.8V	HPS	USB ULPI DIR 信号
HPS_RGMII_TX_CLK	Out	1.8V	HPS	Ethernet RGMII 送信クロック
HPS_RGMII_TX_CTRL	Out	1.8V	HPS	Ethernet RGMII 送信コントロール
HPS_RGMII_TXD[3:0]	Out	1.8V	HPS	Ethernet RGMII 送信データ
HPS_RGMII_RX_CLK	In	1.8V	HPS	Ethernet RGMII 受信クロック
HPS_RGMII_RX_CTRL	In	1.8V	HPS	Ethernet RGMII 受信コントロール
HPS_RGMII_RXD[3:0]	In	1.8V	HPS	Ethernet RGMII 受信データ

信号名	Dir	電圧	接続先	説明
HPS_ETH_MDIO	I/O	1.8V	HPS	Ethernet PHY マネージメントデータ
HPS_ETH_MDC	Out	1.8V	HPS	Ethernet PHY マネージメントクロック
HPS_ETH_INT_B	In	1.8V	HPS	Ethernet PHY 割り込み信号
SOM_RST_OUT_B_1V8	Out	1.8V	リセット回路	リセット出力
HPS_UART_TXD	Out	1.8V	HPS	UART 送信データ
HPS_UART_RXD	In	1.8V	HPS	UART 受信データ
HPS_I2C_SCL_1V8	Out	1.8V	HPS	I2C クロック
HPS_I2C_SDA_1V8	I/O	1.8V	HPS	I2C データ
HPS_IOA[n]_1V8	I/O	1.8V	HPS	HPS IO ポート A : n は番号
HPS_IOB[n]_1V8	I/O	1.8V	HPS	HPS IO ポート B : n は番号
SDM_TEMPDIODE0A_[P/N]	In	1.8V	SDM	温度検出ダイオード入力
SDM_MSEL[2:0]_B2B_1V8	In	1.8V	SDM	FPGA MSEL 信号
SDM_NSTATUS_1V8	Out	1.8V	SDM	FPGA NSTATUS 信号
SDM_CONF_DONE_1V8	Out	1.8V	SDM	FPGA CONF_DONE 信号
SDM_INIT_DONE_1V8	Out	1.8V	SDM	FPGA INIT_DONE 信号
SDM_IO[n]	I/O	1.8V	SDM	SDM IO ポート : n は番号
SOM_PMBUS_SDA_3V3	I/O	3.3V	電源回路	PMBus データ
SOM_PMBUS_SCL_3V3	In	3.3V	電源回路	PMBus クロック
SOM_CLKG_SCL_1V8	In	1.8V	クロック回路	I2C クロック (クロックジェネレータ)
SOM_CLKG_SDA_1V8	In	1.8V	クロック回路	I2C データ (クロックジェネレータ)
SOM_RESET_B_1V8	In	1.8V	電源回路	リコンフィグ要求
SOM_FPGA_RESET_TRG_1V8	In	1.8V	電源回路	FPGA リセット要求
SOM_HPS_RESET_TRG_1V8	In	1.8V	電源回路	HPS リセット要求
SOM_PWR_OK	Out	1.8V	電源回路	SOM 電源 OK 信号
SOM_PWR_EN	In	1.8V	電源回路	SOM 電源イネーブル信号
GTS[L/R]_[1/4][A/B/C]_TX_CH[3:0] [P/N]	Out	1.0V	トランシーバ	GTS トランシーバ送信データ
GTS[L/R]_[1/4][A/B/C]_RX_CH[3:0] [P/N]	In	1.0V	トランシーバ	GTS トランシーバ受信データ
GTS[L/R]_[1/4][A/B/C]_REFCLK_R X [P/N]	In	1.0V	トランシーバ	GTS トランシーバリージョナルリファレンスクロック
GTS[L/R]_[1/4][A/B/C]_REFCLK_C H1 [P/N]	In	1.0V	トランシーバ	GTS トランシーバローカルリファレンスクロック
HSIO_2A_B_VCCIO	In	1.0V - 1.3V	Bank 2AB	VCCIO (Bank 2AB) 電圧
HSIO_2A_B_IO_[P/N][n]	I/O	HSIO_2A_B_VCCIO	Bank 2AB	HSIO (Bank 2AB) ポート : n は番号
HSIO_2A_B_IO_CLK[n]_[P/N]	I/O	HSIO_2A_B_VCCIO	Bank 2AB	HSIO (Bank 2AB) ポート / クロック入力 : n は番号
HSIO_2A_T_VCCIO	In	1.0V - 1.3V	Bank 2AT	VCCIO (Bank 2AT) 電圧
HSIO_2A_T_IO_[P/N][n]	I/O	HSIO_2A_T_VCCIO	Bank 2AT	HSIO ポート (Bank 2AT) : n は番号
HSIO_2A_T_IO_CLK[n]_[P/N]	I/O	HSIO_2A_T_VCCIO	Bank 2AT	HSIO ポート (Bank 2AT) / クロック入力 : n は番号
HVIO_5A_VCCIO	In	1.8V - 3.3V	Bank 5A	VCCIO (Bank 5A) 電圧
HVIO_5A_IO[n]	I/O	HVIO_5A_VCCIO	Bank 5A	HVIO (Bank 5A) ポート : n は番号
HVIO_6A_VCCIO	In	1.8V - 3.3V	Bank 6A	VCCIO (Bank 6A) 電圧
HVIO_6A_IO[n]	I/O	HVIO_6A_VCCIO	Bank 6A	HVIO (Bank 6A) ポート : n は番号
HVIO_6B_VCCIO	In	1.8V - 3.3V	Bank 6B	VCCIO (Bank 6B) 電圧
HVIO_6B_IO[n]	I/O	HVIO_6B_VCCIO	Bank 6B	HVIO (Bank 6B) ポート : n は番号
HVIO_6C_VCCIO	In	1.8V - 3.3V	Bank 6C	VCCIO (Bank 6C) 電圧
HVIO_6C_IO[n]	I/O	HVIO_6D_VCCIO	Bank 6C	HVIO (Bank 6B) ポート : n は番号
HVIO_6D_VCCIO	In	1.8V - 3.3V	Bank 6D	VCCIO (Bank 6D) 電圧入力
HVIO_6D_IO[n]	I/O	HVIO_6D_VCCIO	Bank 6D	HVIO (Bank 6D) ポート : n は番号

3. 電気的特性

3.1. 絶対最大定格

表 3-1 SoM 絶対最大定格

項目	記号	最小	最大	単位	備考
電源電圧	VIN	-0.3	5.5	V	5V_IN
VCCIO 電圧	VHSIO	-0.5	1.74	V	Bank_2A_T_VCCIO Bank_2A_B_VCCIO
	VHVIO	-0.5	3.74	V	HVIO_5A_VCCIO HVIO_5B_VCCIO HVIO_6A_VCCIO HVIO_6C_VCCIO HVIO_6D_VCCIO
VCCBAT 電圧	VCCBAT	-0.5	2.08	V	1.8_VCCBAT
端子入力電圧	VI_HPS	-0.3	2.38	V	HPS
	VI_SDM	-0.3	2.38	V	SDM
	VI_HSIO	-0.3	VHSIO+0.25	V	HSIO
	VI_HVIO	-0.3	VHVIO+0.3	V	HVIO
	VI_18	-0.3	2.38	V	上記以外の末尾_1V8の端子
	VI_33	-0.3	5.5	V	SOM_PMBUS_SCL_3V3 SOM_PMBUS_SDA_3V3
使用温度範囲	Topr	-25	85	°C	結露なきこと

3.2. 推奨動作条件

表 3-2 SoM 推奨動作条件

項目	記号	最小	標準	最大	単位	備考
電源電圧	VIN	4.75	5.0	5.25	V	5V_IN
HSIO VCCIO 電圧	VHSIO	1.261	1.3	1.339	V	Bank_2A_T_VCCIO
		1.164	1.2	1.236	V	Bank_2A_B_VCCIO
HVIO VCCIO 電圧	VHVIO	3.201	3.3	3.399	V	HVIO_5A_VCCIO
		2.425	2.5	2.575	V	HVIO_5B_VCCIO
					V	HVIO_6A_VCCIO
		1.746	1.8	1.854	V	HVIO_6C_VCCIO HVIO_6D_VCCIO
VCCBAT 電圧	VCCBAT	1	1 - 1.8	1.8	V	1.8_VCCBAT
端子入力電圧	HPS_VI	-0.3	1.8	2.1	V	HPS
	SDM_VI	-0.3	1.8	2.1	V	SDM
	HSIO_VI	-0.3		VHSIO+0.25	V	HSIO
	HVIO_VI	-0.3		VHVIO+0.3	V	HVIO
	VI_18	-0.3	1.8	2.1	V	上記以外の末尾_1V8の端子
	VI_33	-0.3	3.3	3.6	V	SOM_PMBUS_SCL_3V3 SOM_PMBUS_SDA_3V3

3.3. 入出力ピン仕様

入出力ピン仕様はバンク電圧及び設定により変化します。詳細は Agilix™ 5 FPGA & SoC E シリーズのデータシートをご確認ください。

4. 基板外形

本製品の外形寸法図を図 3-1 に示します。(単位:mm)

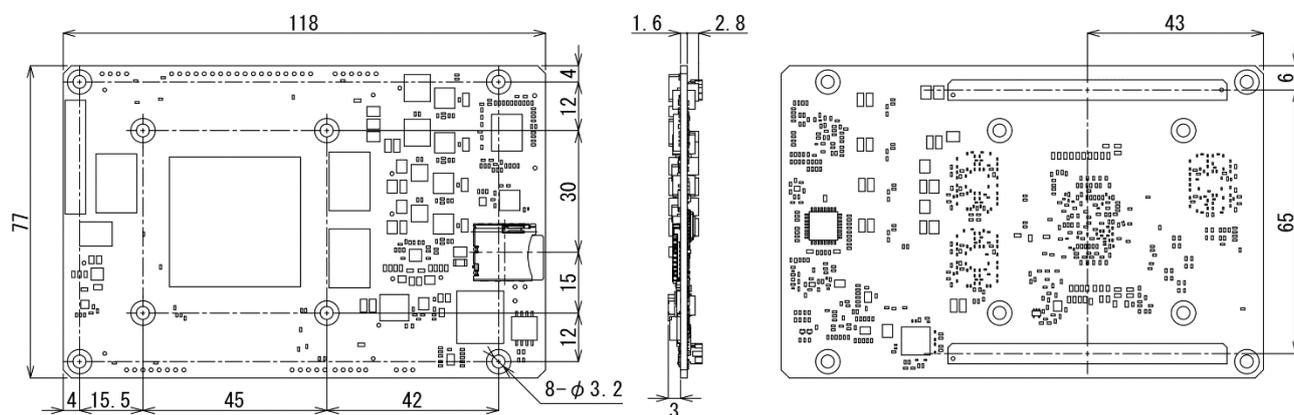


図 3-1 SoM 外形寸法

5. 更新履歴

Ver.	更新日付	内容
1.0	2024/4/18	新規作成