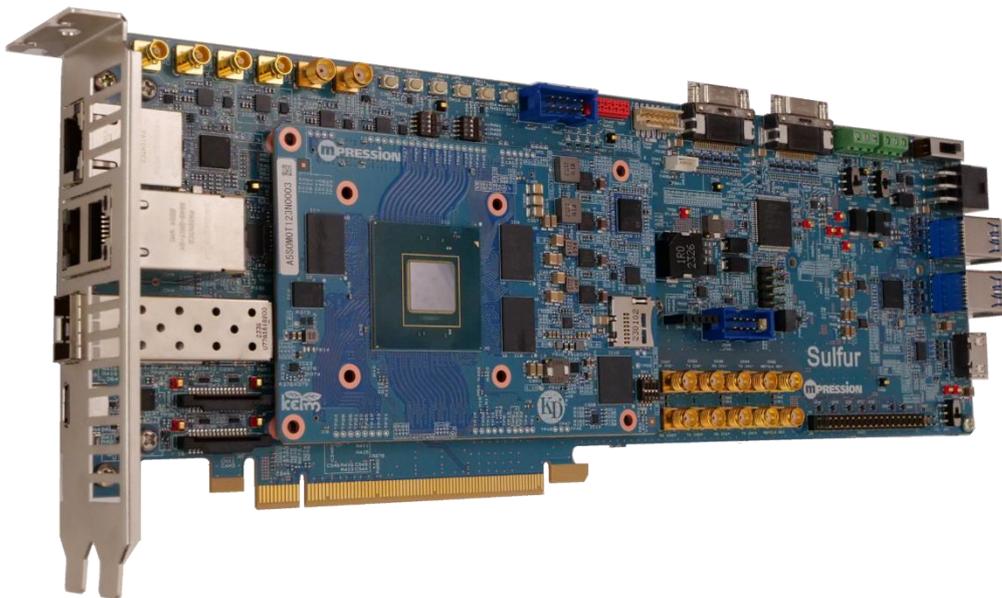


# Sulfur Type-A キット ユーザーマニュアル

Ver.1.0



## はじめに

この度は、Sulfur Type-A キットをお買い上げいただき誠にありがとうございます。

本製品をご使用になる前に、本マニュアル及び関連資料を十分ご確認ください、使用上の注意を守って正しくご使用ください。



### 取扱い上の注意

- 本書に記載されている内容は、将来予告なく変更されることがあります。本製品のご使用にあたっては、弊社窓口または弊社ホームページなどで最新の情報をご確認ください。
- 本製品には一般電子機器用部品が使用されています。極めて高い信頼性を要求する装置(航空、宇宙機器、原子力制御機器、生命維持のための医療機器等)には使用しないでください。
- 本製品は国内使用を前提として開発及び製造を行っています。本製品または本製品を組み込んだ製品を輸出される場合は、お客様の責任において「外国為替及び外国貿易法」及びその他輸出関連法令等を順守し、必要な手続きを行ってください。
- LAN、USB、HDMI 以外のコネクタへのケーブルの抜き差しは、必ず電源を OFF にした状態で行ってください。
- 水、湿気、ほこり、油煙等の多い場所では使用しないでください。
- 本製品の関連資料の全部または一部を弊社に無断で使用または複製することを禁止します。
- 本書及び関連資料で取り上げる会社名及び製品名等は、各社の商標または登録商標です。

## お問い合わせ先

- 製品に関するお問い合わせは、下記のメールアドレスよりお願いいたします。

[keim-support@kd-group.co.jp](mailto:keim-support@kd-group.co.jp)

## 目次

|  |    |
|--|----|
| 1. 概要 .....                              | 5  |
| 1.1. 製品の特徴 .....                         | 5  |
| 1.2. 製品仕様 .....                          | 6  |
| 1.3. ブロック図 .....                         | 7  |
| 1.4. ボードレイアウト .....                      | 8  |
| 2. 機能仕様 .....                            | 11 |
| 2.1. SoM (KEIm-A5ESoM) .....             | 11 |
| 2.1.1. コンフィグレーション回路 .....                | 12 |
| 2.1.2. SoM モードスイッチ .....                 | 13 |
| 2.1.3. SoM ステータス LED .....               | 13 |
| 2.2. 電源回路 .....                          | 14 |
| 2.3. リセット回路 .....                        | 15 |
| 2.3.1. リセットタイミング: 再コンフィグレーション .....      | 16 |
| 2.3.2. リセットタイミング: HPS コールドリセット .....     | 16 |
| 2.3.3. リセットタイミング: FPGA リセット .....        | 16 |
| 2.4. クロック回路 .....                        | 17 |
| 2.5. Ethernet .....                      | 18 |
| 2.5.1. Ethernet HPS (CN3) .....          | 18 |
| 2.5.2. Ethernet FPGA (CN4) .....         | 19 |
| 2.5.3. TSN コネクタ (CN39, CN40) .....       | 20 |
| 2.6. USB 3.1 / 2.0 .....                 | 21 |
| 2.7. 10GbE .....                         | 23 |
| 2.8. HDMI .....                          | 24 |
| 2.9. MIPI .....                          | 25 |
| 2.10. Camera Link .....                  | 28 |
| 2.11. SLVS-EC .....                      | 30 |
| 2.11.1. クロック周波数選択スイッチ (SW17) .....       | 32 |
| 2.11.2. SLVS-EC コネクタ (CN8) .....         | 32 |
| 2.12. CoaXPress .....                    | 33 |
| 2.13. PCIe .....                         | 35 |
| 2.13.1. PCIe サイドバンド信号コネクタ (CN15) .....   | 36 |
| 2.13.2. PCIe カード PRSNT2#信号選択 (SW3) ..... | 36 |
| 2.14. CAN .....                          | 37 |
| 2.14.1. CAN コネクタ (CN24, CN25) .....      | 38 |
| 2.14.2. CAN 終端設定スイッチ (SW5, SW6) .....    | 38 |
| 2.15. MCU .....                          | 39 |
| 2.15.1. MCU ステータス LED .....              | 39 |

|                                      |    |
|--------------------------------------|----|
| 2.15.2. SWD コネクタ (CN23).....         | 40 |
| 2.15.3. MCU モードスイッチ (SW4).....       | 40 |
| 2.15.4. MCU ピンヘッド (CN22) .....       | 40 |
| 2.15.5. MCU I2C マスタ選択スイッチ (SW8)..... | 41 |
| 2.16. USB-UART .....                 | 42 |
| 2.17. SMA コネクタ .....                 | 43 |
| 2.18. I2C 回路.....                    | 44 |
| 2.19. デバッグインターフェース.....              | 46 |
| 2.19.1. JTAG コネクタ (CN28) .....       | 46 |
| 2.19.2. CBPROG コネクタ (CN41).....      | 47 |
| 2.19.3. PSM コネクタ (CN44) .....        | 47 |
| 2.19.4. SDP コネクタ (CN45).....         | 48 |
| 2.20. ユーザーインターフェース .....             | 49 |
| 2.20.1. ユーザーLED .....                | 50 |
| 2.20.2. ユーザープッシュスイッチ .....           | 50 |
| 2.20.3. ユーザーディップスイッチ.....            | 50 |
| 2.21. 40 ピンヘッド (CN27).....           | 51 |
| 3. SoM コネクタ .....                    | 53 |
| 3.1. CN1 ピンアサイン .....                | 53 |
| 3.2. CN2 ピンアサイン .....                | 55 |
| 3.3. 信号名と説明.....                     | 56 |
| 4. セットアップ方法 .....                    | 59 |
| 4.1. microSD カードの挿抜.....             | 59 |
| 4.2. 電源接続.....                       | 60 |
| 5. 基板外形 .....                        | 61 |
| 6. 更新履歴 .....                        | 62 |

## 1. 概要

本書は、Agilex™ 5 FPGA & SoC E シリーズを搭載した開発キット Sulfur Type-A キットの特長や仕様について記載したユーザーマニュアルです。

### 1.1. 製品の特徴

本製品は、Agilex™ 5 FPGA & SoC E シリーズを搭載した System on Module (以降 SoM) KEIm-A5ESoM (近藤電子工業) を使用した開発キットで、キャリアボードに MIPI、Camera Link、CoaXPress、10GbE、Ethernet、USB 3.1 / 2.0、HDMI などの各種ペリフェラルインターフェースを搭載しています。ハードウェア及びソフトウェア開発者が Agilex™ 5 FPGA & SoC E シリーズを使用した評価をすぐに行えるプラットフォームとなっています。本製品には以下の特徴があります。

- ① コア部分がモジュール  
本キットを使ってデバイスの評価や機能の評価をした後、実際の製品設計をする際にコア部分の SoM をそのまま使用していただくことで、開発時間を短縮することが可能です。
- ② PCIe フォームファクタ  
PCIe インターフェースを使用したアプリケーション開発時に、PC に搭載した状態で評価可能なようにキットの外形が PCIe カード形状になっています。
- ③ 豊富なペリフェラル  
様々なアプリケーションを評価できるように、近年の機器によく使われる傾向のあるペリフェラルインターフェースを搭載しています。
- ④ 多彩なリファレンスデザイン  
キットに搭載されているペリフェラルを動かすためにはソフトウェアも必要です。本キットはハードウェアだけでなく、様々なリファレンスデザインも提供予定です。

## 1.2. 製品仕様

本製品の製品仕様を表 1-1 に示します。

表 1-1 製品仕様

| 項目              | 内容              |   |
|-----------------|-----------------|---|
| SoM             |                 | KEIm-A5ESoM (ES バージョン)  |
|                 | SoC FPGA        | Agilex™ 5 FPGA & SoC E シリーズ: A5ED065BB32AE5SR0<br>Processor: Dual-core Arm Cortex-A76, Dual-core Arm Cortex-A55<br>Logic Elements / ALMs: 656 kLEs / 222,400 ALMs               |
|                 | LPDDR4 SDRAM    | 4GByte (1G x 32bit) x3  |
|                 | QSPI Flash      | 256MByte (2Gbit)  |
|                 | eMMC            | 32GByte   |
|                 | SD              | microSD カードスロット   |
| Ethernet (HPS)  |                 | Gigabit Ethernet ポート x1<br>PHY: 88E1512-A0-NNP2 (Marvell)   |
| Ethernet (FPGA) |                 | Gigabit Ethernet ポート x2<br>PHY: KSZ9131RNX (Microchip)  |
| USB3.1 / 2.0    |                 | USB 3.1 Type-A (ホスト) コネクタ x4<br>USB 3.1 Gen1 (5Gbps) / USB 2.0 ※ES 品は USB 3.1 は非サポート<br>USB 3.1 Hub: TUSB8041 (TI)<br>USB 2.0 PHY: USB3320C-EZK (Microchip)                     |
| 10GbE           |                 | SFP+ ポート x1   |
| HDMI 出力         |                 | HDMI 2.0 Type-A コネクタ x1<br>HDMI 2.0 リドライバ: TDP0604 (TI)   |
| MIPI            |                 | 15 ピンコネクタ x2<br>22 ピンコネクタ x2  |
| Camera Link     |                 | 26 ピン SDR コネクタ x2   |
| SLVS-EC         |                 | 8 レーンポート x1   |
| CoaXPress 2.0   |                 | CXP-12 (12Gbps) マイクロ BNC コネクタ x4<br>トランスミッタ / レシーバ: EQCO125X40 (Microchip)  |
| PCIe            |                 | PCIe カードエッジコネクタ<br>PCIe Gen 4 x4  |
| クロック            |                 | 水晶発振器 Si564 (Skyworks) x3<br>HDMI リファレンスクロック: 564BAAC001704CCG (Skyworks)<br>SLVS-EC 用リファレンスクロック: 564BAED002453CCG (Skyworks)<br>10GbE 用リファレンスクロック: 564BAAC000771CCG (Skyworks) |
|                 |                 | クロックジェネレータ Si5340B-D-GM (Skyworks)<br>4 出力、CXP 及び USB3.1 のリファレンスクロック及び HSIO、HVIO のクロックを生成   |
| CAN             |                 | 3 端子ブロックコネクタ x2<br>CAN トランシーバ: TJA1057 (NXP)<br>プロトコル用 MCU: LPC54616J512BD100 (NXP)   |
| USB-UART        |                 | USB Type-C コネクタ x1<br>USB to UART ブリッジ: FT232RN (FTDI)  |
| RTC             |                 | DS1339A (ADI)、バッテリーバックアップ   |
| EEPROM          |                 | 24AA64 (Microchip)  |
| デバッグ I/F        | SoC FPGA        | JTAG 10 ピンコネクタ  |
|                 | MCU             | SWD 10 ピンコネクタ   |
|                 | Clock Generator | CBPROG 10 ピンコネクタ  |
|                 | Power Sequencer | SDP 10 ピンコネクタ   |
|                 | SoM 電源          | PSM 10 ピンコネクタ   |
| 40 ピンヘッダ        |                 | HVIO 28 本が接続  |
| 入力電源            |                 | +12V±10% (10.8V~13.2V)<br>ATX6 ピンコネクタ又は PCIe カードエッジより供給   |
| 消費電流            |                 | TBD   |
| 使用温度範囲          |                 | 0°C~ +40°C  |
| 外形寸法            |                 | 308.5×132.51×58.25mm (突起物含まず)   |

本製品のブロック図を図 1-1 に示します。

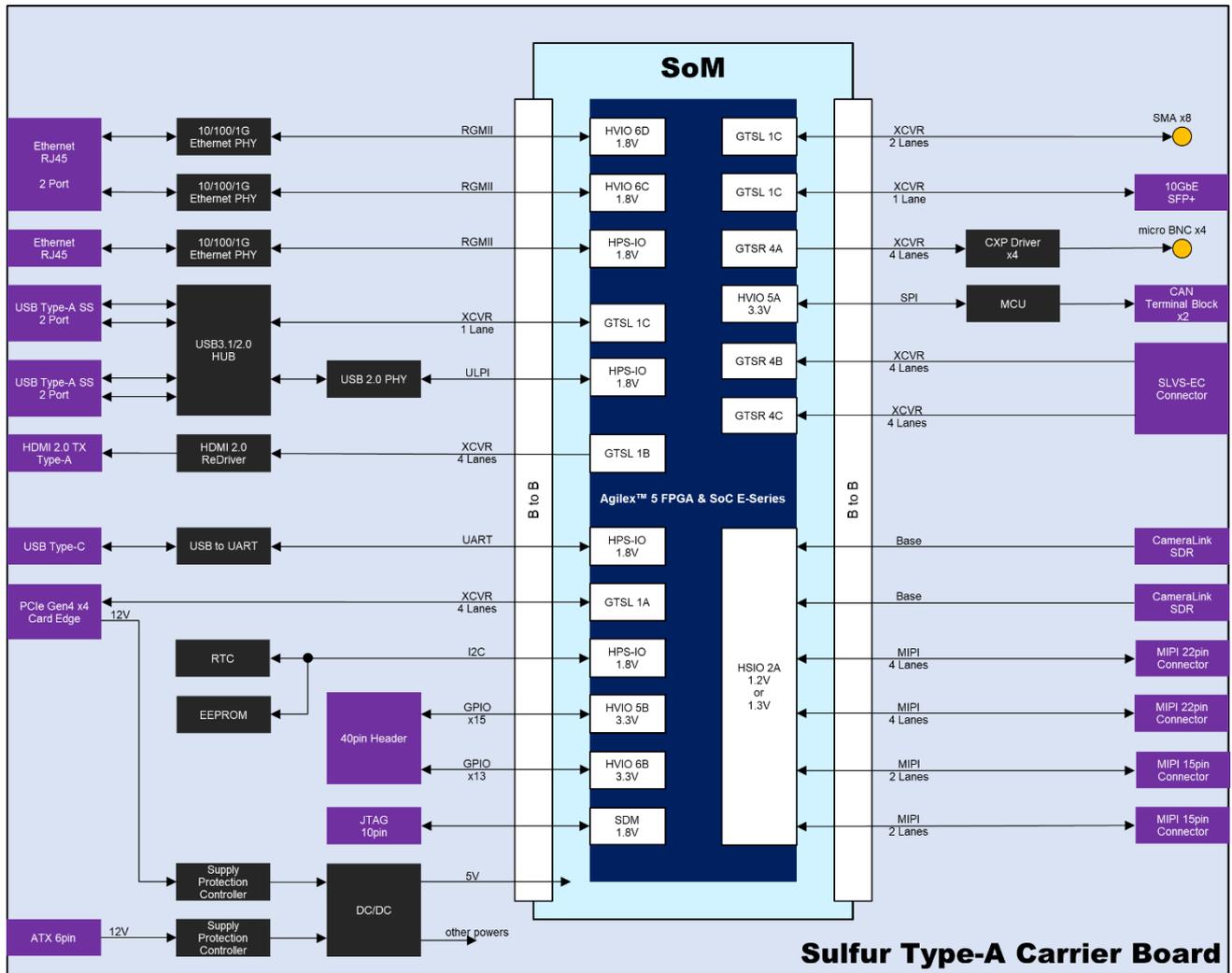


図 1-1 Sulfur Type-A キットブロック図

## 1.4. ボードレイアウト

本製品のボードレイアウトを図 1-2、図 1-3 に、本製品に搭載されている主要なコンポーネントを表 1-2 に記載します。

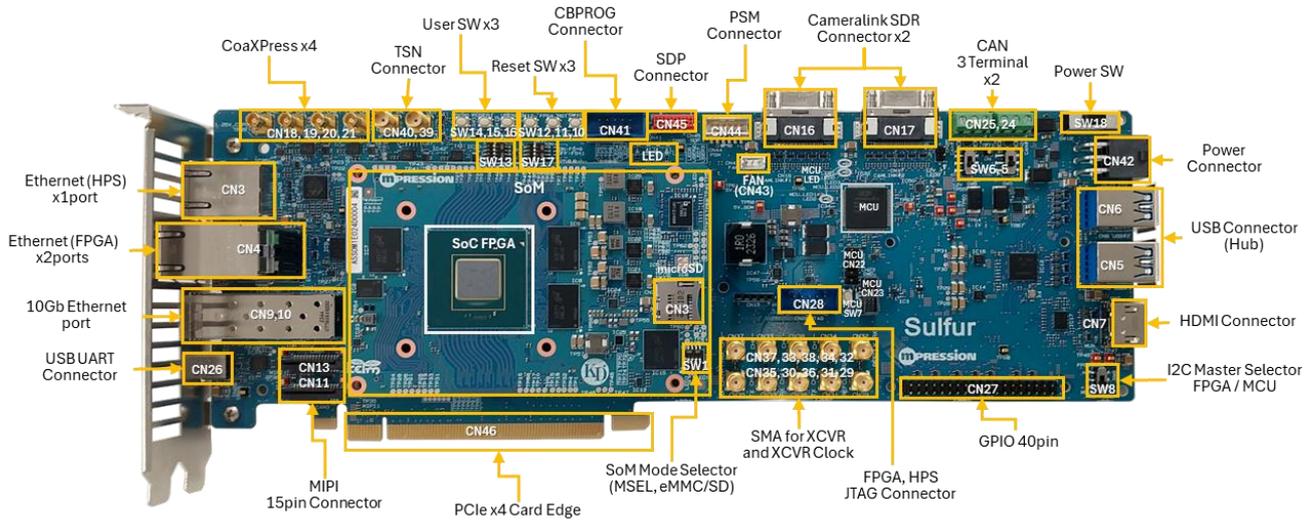


図 1-2 ボード表面レイアウト

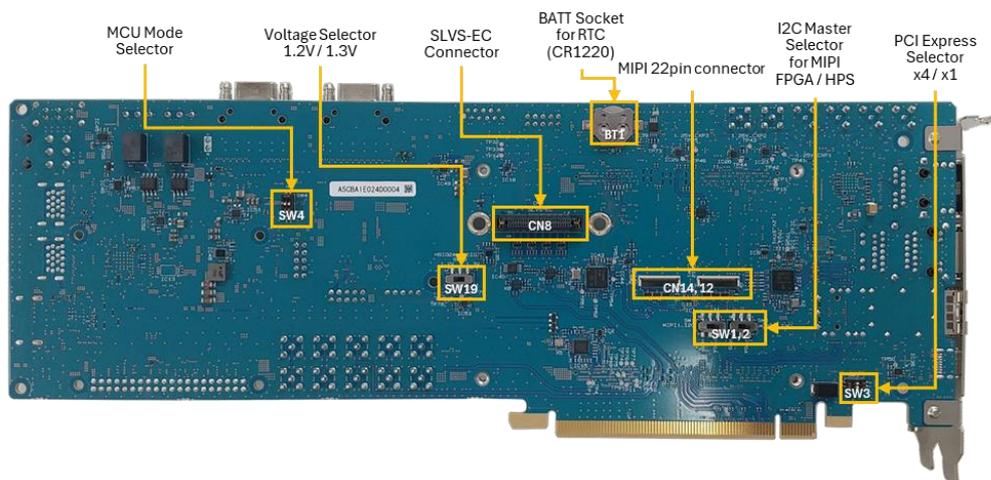


図 1-3 ボード裏面レイアウト

表 1-2 主要コンポーネント一覧

| リファレンス                          | 名称                  | 説明  |
|---------------------------------|---------------------|---|
| <b>SoM KEIm-A5ESoM (近藤電子工業)</b> |                     |   |
| SoM: IC1                        | SoC FPGA            | Agilex™5 FPGA & SoC E シリーズ<br>A5ED065BB32AE5SR0   |
| SoM: CN1, CN2                   | SoM コネクタ            | 400 ピン 0.635mm ピッチ 4 列 BtoB コネクタ<br>キャリアボード側 : ADM6-100-01.5-L-4-2-A (Samtec)<br>SoM 側 : ADF6-100-03.5-L-4-2-A (Samtec) |
| SoM: CN3                        | microSD カードスロット     | HPS の SDMMC に接続   |
| SoM: SW1                        | SoM モードスイッチ         | FPGA コンフィグレーションモード設定およびストレージメモリの選択に使用   |
| <b>Gigabit Ethernet</b>         |                     |   |
| CN3                             | Ethernet (HPS) ポート  | パルストランス内蔵 RJ45 コネクタ   |
| CN4                             | Ethernet (FPGA) ポート | パルストランス内蔵 RJ45 2 ポートコネクタ  |
| <b>10GbE</b>                    |                     |   |
| CN9, CN10                       | 10GbE ポート           | SFP+ 20 ピンコネクタ、SFP+ ケージ   |
| <b>USB 3.1 / 2.0</b>            |                     |   |
| CN5, CN6                        | USB 3.1 コネクタ        | Type-A Super Speed 対応の 2 ポートコネクタ x2   |
| <b>HDMI</b>                     |                     |   |
| CN7                             | HDMI コネクタ           | Type-A コネクタ   |
| <b>SLVS-EC</b>                  |                     |   |
| CN8                             | SLVS-EC コネクタ        | 50 ピン 0.8mm ピッチ 2 列 BtoB コネクタ<br>ERM8-025-05.0-L-DV-L-K (Samtec)  |
| <b>MIPI</b>                     |                     |   |
| CN11, CN13                      | MIPI 2 レーンポート       | 15 ピン 1mm ピッチ FFC コネクタ  |
| CN12, CN14                      | MIPI 4 レーンポート       | 22 ピン 0.5mm ピッチ FFC コネクタ  |
| SW1, SW2                        | MIPI I2C マスタ選択スイッチ  | FPGA / HPS 切り替え   |
| <b>PCIe</b>                     |                     |   |
| CN46                            | PCIe カードエッジ         | x4 接続 (物理形状は x16)   |
| <b>Camera Link</b>              |                     |   |
| CN16, CN17                      | Camera Link コネクタ    | 26 ピン SDR コネクタ、各コネクタは Base 構成でピンアサインされていて、両コネクタを使用して Full 構成としても使用可能  |
| <b>CoaXPress</b>                |                     |   |
| CN18, CN19, CN20, CN21          | CoaXPress コネクタ      | マイクロ BNC  |
| <b>CAN / MCU</b>                |                     |   |
| CN24, CN25                      | CAN コネクタ            | 3 端子ブロックコネクタ  |
| SW5, SW6                        | CAN 終端スイッチ          | スライドスイッチ、終端の ON / OFF を制御   |
| IC32                            | MCU                 | LPC54616J512BD100 (NXP)、CAN プロトコルスタックが実装されており、通信データは SPI で伝送、SPI は HVIO に接続   |
| SW4                             | MCU モードスイッチ         | MCU のブートモードの指定に使用   |
| SW8                             | MCU I2C マスタ選択スイッチ   | FPGA / MCU 切り替え   |
| CN22                            | MCU ピンヘッド           | 2.54mm ピッチ 10 ピンヘッド、MCU の一部のポートが接続されている   |
| LED1, LED2, LED3                | MCU ステータス LED       | MCU の動作確認用 LED  |
| <b>USB-UART</b>                 |                     |   |
| CN26                            | USB-UART コネクタ       | USB Type-C  |
| <b>電池</b>                       |                     |   |
| BT1                             | 電池ホルダー              | RTC バッテリバックアップ用 (CR1220)  |
| <b>40 ピンヘッド</b>                 |                     |   |
| CN27                            | ピンヘッド               | 2.54mm ピッチ 40 ピンヘッド、HVIO 28 本を接続  |
| <b>スイッチ、LED</b>                 |                     |   |
| SW10                            | リセットスイッチ            | リコンフィグ用   |
| SW11                            | リセットスイッチ            | FPGA リセット用  |
| SW12                            | リセットスイッチ            | HPS リセット用   |

| リファレンス                 | 名称               | 説明  |
|------------------------|------------------|---|
| SW13                   | ユーザーディップスイッチ     | 4 素子の内 3 素子が使用可能、すべて HVIO に接続   |
| SW14, SW15, SW16       | ユーザープッシュスイッチ     | すべて HVIO に接続  |
| SW17                   | クロック周波数選択スイッチ    | SLVS-EC のリファレンスクロックの周波数の切り替え  |
| SW19                   | HSIO_2A 電圧選択スイッチ | バンク 2A (HSIO) の VCCIO を 1.2V または 1.3V に切り替え   |
| LED4, LED5, LED6, LED7 | ユーザー用 LED        | すべて HVIO に接続  |
| <b>SMA</b>             |                  |   |
| CN29, CN32             | GTS クロック入力コネクタ   | トランシーバのリファレンスクロック入力   |
| CN30, CN33             | GTS 送信チャンネル 0    | トランシーバの送信チャンネル  |
| CN35, CN37             | GTS 受信チャンネル 0    | トランシーバの受信チャンネル  |
| CN31, CN34             | GTS 送信チャンネル 1    | トランシーバの送信チャンネル  |
| CN36, CN38             | GTS 受信チャンネル 1    | トランシーバの受信チャンネル  |
| CN39, CN40             | TSN 同期信号出力/入力    | HPS の PPS 出力及び PPS 入力   |
| <b>デバッグ I/F</b>        |                  |   |
| CN23                   | MCU 用 SWD コネクタ   | 1.27mm ピッチ 10 ピンヘッダ、ARM SWD 接続  |
| CN28                   | JTAG コネクタ        | 10 ピン 2.54mm ピッチ<br>インテル® FPGA ダウンロード・ケーブル II を接続して、Agilex™5 FPGA & SoC E シリーズのデバッグ及びコンフィギュレーションが可能 |
| CN41                   | CBPROG コネクタ      | CBPROG-DONGLE (Skyworks)を接続して、クロックジェネレータ Si5340B とのインターフェースが可能                                      |
| CN44                   | PSM コネクタ         | DC1613A (ADI)を接続して、パワーコントローラ LTC7883 とのインターフェースが可能  |
| CN45                   | SDP コネクタ         | USB-SDP-CABLEZ (ADI)を接続して、パワーシーケンサ ADM1168 とのインターフェースが可能  |
| <b>電源入力</b>            |                  |   |
| CN42                   | 電源コネクタ           | ATX6 ピン、+12V を入力  |
| SW18                   | 電源スイッチ           | キャリアボードへ+12V 供給を ON/OFF する  |
| CN43                   | FAN コネクタ         | +12V 出力   |

## 2. 機能仕様

本製品に搭載されている各種機能の詳細について記載します。

### 2.1. SoM (KEIm-A5ESoM)

本製品に搭載されている SoM (KEIm-A5ESoM) の基本仕様を表 2-1 に示します。詳細については、KEIm-A5ESoM ハードウェアマニュアルを参照ください。

表 2-1 SoM 基本仕様

| 項目           |  | 内容  |
|--------------|--|---|
| SoC FPGA     |  | Agilex™5 FPGA & SoC E シリーズ  |
|              | デバイス型式   | A5ED065BB32AE5SR0   |
|              | Processor  | Dual-core Arm Cortex-A76<br>Dual-core Arm Cortex-A55  |
|              | Logic Elements /<br>Adaptive logic modules           | 656 kLEs / 222,400 ALMs   |
|              | M20K memory blocks / size                            | 1,611 blocks / 31.46 Mbits  |
|              | MLAB memory count / size                             | 8,440 count / 6.79 Mbits  |
|              | I/O PLL  | 8   |
|              | Fabric-feeding I/O PLL                               | 13  |
|              | Variable-precision DSP blocks<br>18 x 19 multipliers | 846<br>1,692  |
| LPDDR4 SDRAM |  | 4GByte (1G x 32bit) x3<br>MT53E1G32D2FW-046 (Micron)  |
| QSPI Flash   |  | 256MByte (2Gbit)<br>MT25QU02GCBB (Micron)   |
| eMMC         |  | 32GByte<br>MTFC32GAZAQHD (Micron)   |
| SD           |  | microSD カードスロット   |
| クロック         | OSC  | 100MHz  |
|              | Clock Generator                                      | Low-Jitter 4-Output Clock Generator<br>Si5340B-D-GM (Skyworks)  |
| BtoB コネクタ    |  | 400 pin 基板間コネクタ x 2   |
|              | コネクタ型式   | ADF6-100-03.5-L-4-2-A (Samtec)  |
|              | HPS-IO   | Ethernet(RGMII) x 1, USB OTG(ULPI) x 1,<br>SPIM x 1, UART x 1, I2C x 1, QSPI x 1,<br>SDMMC x 1, GPIO x 21 |
|              | HSIO   | 最大 96 本   |
|              | HVIO   | 最大 120 本  |
|              | Transceiver (17Gbps)                                 | 24 レーン  |
| Debug I/F    |  | JTAG  |
| 入力電源         |  | +5V±5% (4.75V~5.25V), VCCIO (構成による)   |
| 消費電流         |  | TBD   |
| 使用温度範囲       |  | -25°C~ +85°C  |
| 外形寸法         |  | 118×77mm  |

## 2.1.1. コンフィグレーション回路

本製品に搭載されている SoM のコンフィグレーション回路の構成を図 2-1 に示します。本製品は SW1 の設定によりコンフィグレーション元のデバイスを選択できます。表 2-2 に SW1 の設定モードと選択されるコンフィグレーションデバイスの関係に記載します。

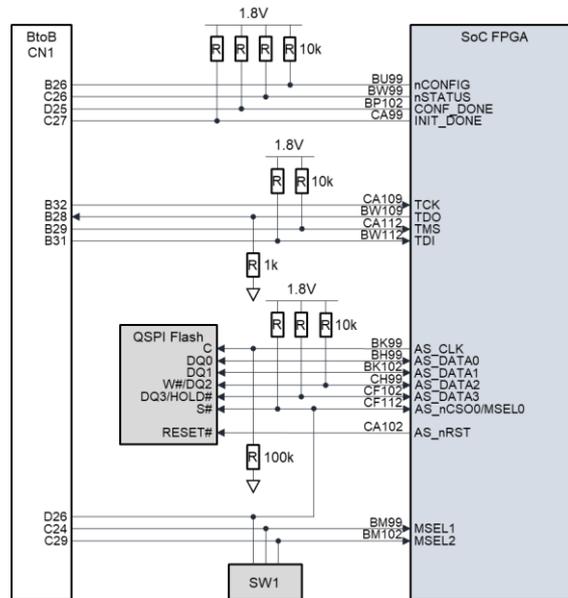
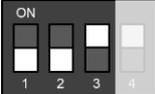


図 2-1 コンフィグレーション回路構成

### 2.1.2. SoM モードスイッチ

本製品に搭載されている SoM には動作モード設定用のスイッチを搭載しています。スイッチの各機能を表 2-2 に記載します。

表 2-2 SoM モードスイッチ

| リファレンス      | 名称        | 説明   |       |       |       |   |
|-------------|-----------|--|-------|-------|-------|---|
| SoM : SW1.1 | MSEL0     | コンフィグレーションモードの選択                                     |       |       |       |   |
|             |           | モード  | MSEL0 | MSEL1 | MSEL2 | 参考図   |
|             |           | JTAG only mode<br>(デフォルト)                            | OFF   | OFF   | OFF   |  |
| SoM : SW1.2 | MSEL1     | AS Normal mode                                       | OFF   | OFF   | ON    |  |
| SoM : SW1.3 | MSEL2     | AS Fast mode   | OFF   | ON    | ON    |  |
| SoM : SW1.4 | SDMMC_SEL | ストレージメモリの選択<br>ON: SD mode (デフォルト)<br>OFF: eMMC mode |       |       |       |   |

※MSELの詳細はAgilex™5 FPGA & SoC E シリーズのマニュアルを確認してください。

### 2.1.3. SoM ステータス LED

本製品に搭載されている SoM にはステータス確認用の LED を搭載しています。LED の各機能を表 2-3 に記載します。

表 2-3 SoM ステータス LED

| リファレンス     | 名称            | 説明  |
|------------|---------------|---|
| SoM : LED1 | CONF_DONE LED | コンフィグレーション状態を表示します。<br>点灯:コンフィグレーション完了<br>消灯:コンフィグレーション未完了    |
| SoM : LED2 | ユーザー LED      | ユーザー用 LED です。HPS_IOA12 に接続しています。<br>点灯:端子を Low<br>消灯:端子を High |
| SoM : LED3 | 電源 LED        | 電源入力状態を示す LED です。電源 5V が印可されると点灯します。                          |

## 2.2. 電源回路

本製品の電源の回路構成を図 2-2 に示します。

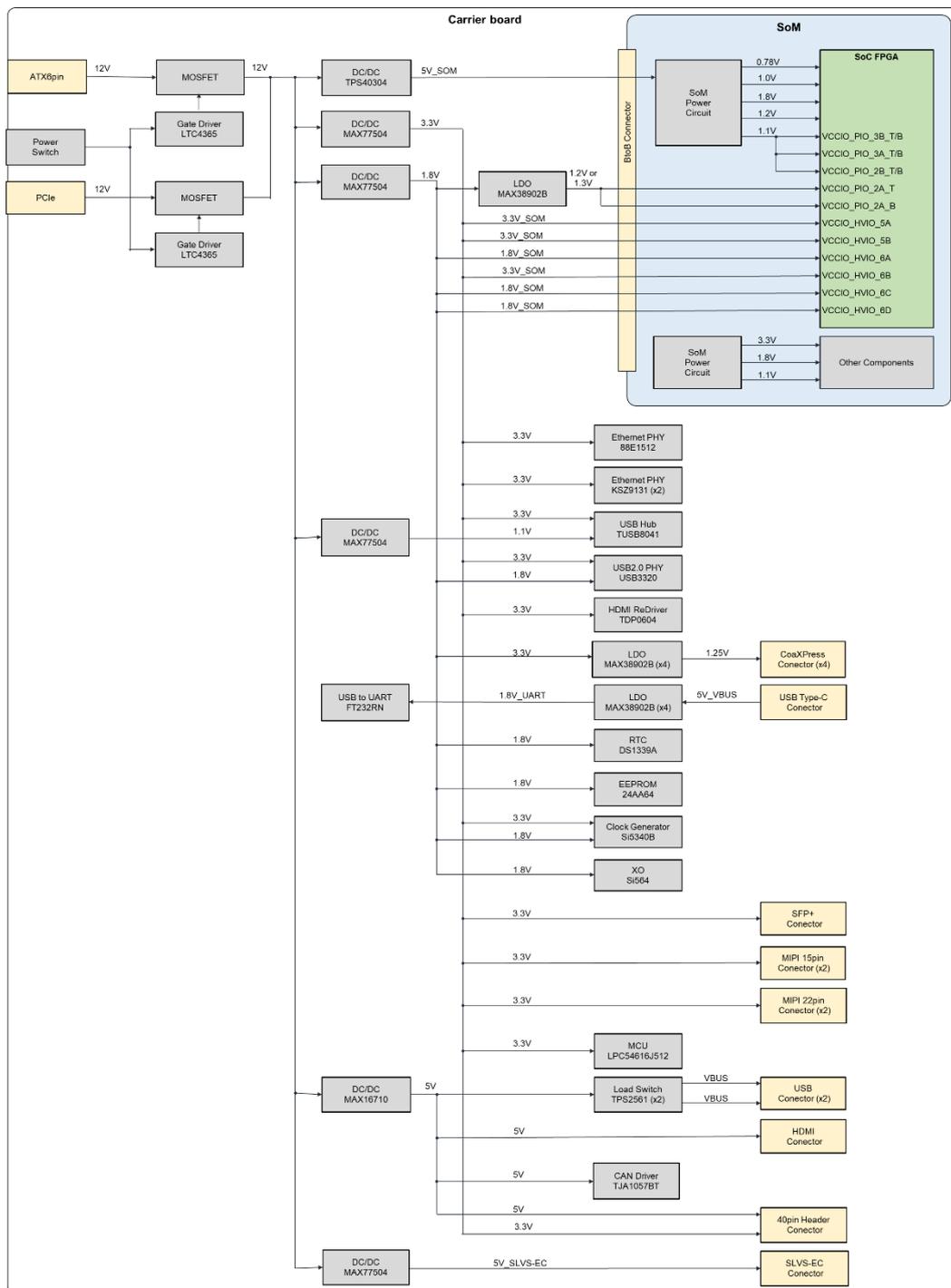


図 2-2 電源回路構成

### 2.3. リセット回路

本製品のリセットの回路構成を図 2-4 に示します。リセットの制御は SoM に搭載されている ADM1168 により管理しています。また、プッシュスイッチにより再コンフィグレーション、HPS コールドリセット、FPGA リセットの 3 種類のリセット要因を入力することができます。リセットスイッチのボードレイアウトを図 2-3 に示します。

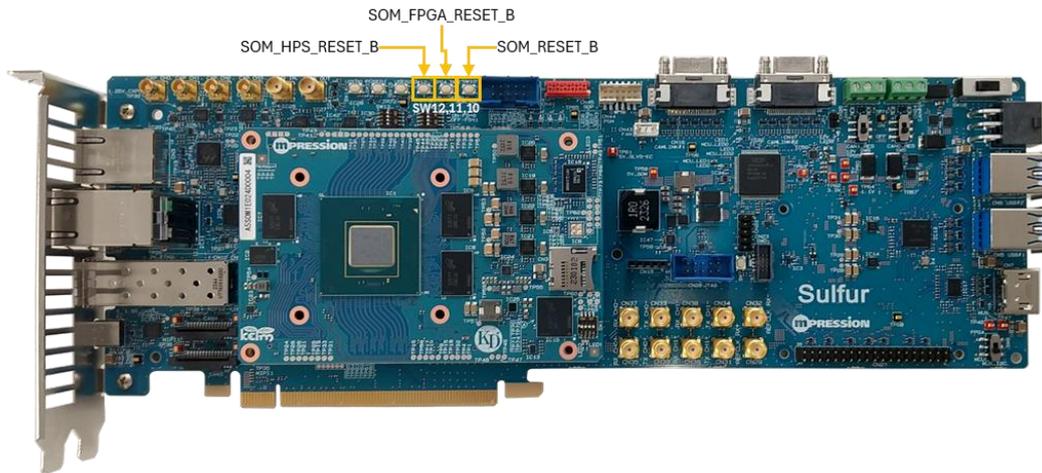


図 2-3 リセットスイッチレイアウト

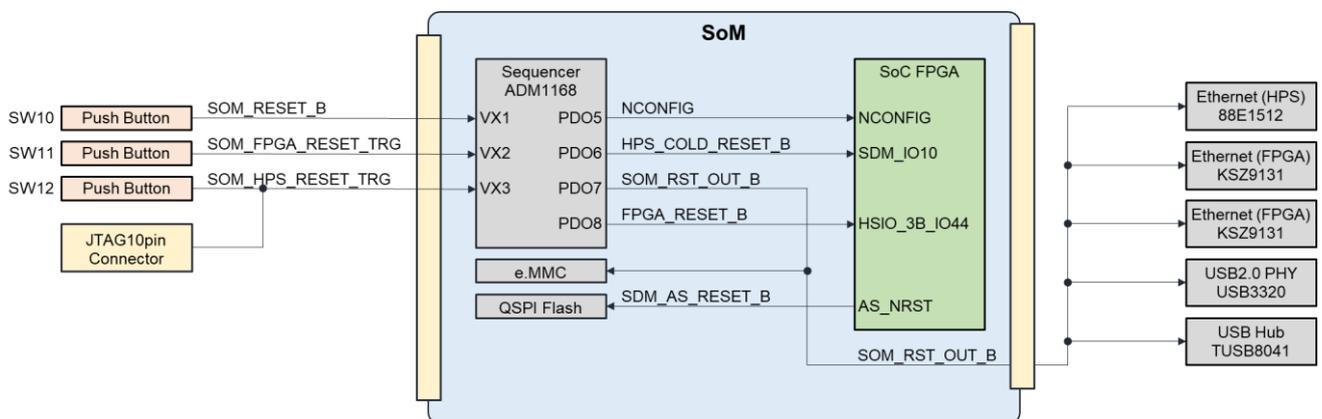


図 2-4 リセット回路構成

### 2.3.1. リセットタイミング: 再コンフィグレーション

SOM\_RESET\_B 信号を 0.3ms 以上 Low にすることによって、本製品を再コンフィグレーションすることが可能です。リセットタイミングを図 2-5 に示します。

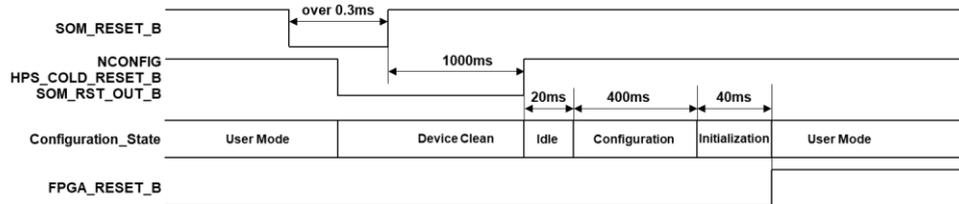


図 2-5 再コンフィグレーションタイミング

### 2.3.2. リセットタイミング: HPS コールドリセット

SOM\_HPS\_RESET\_TRG\_B 信号を 0.3ms 以上 Low にすることによって、HPS コールドリセットをかけることが可能です。リセットタイミングを図 2-6 に示します。

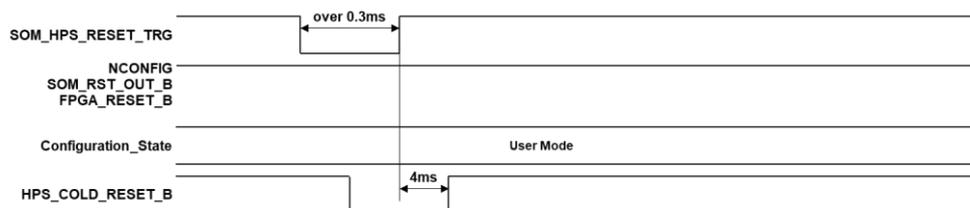


図 2-6 HPS コールドリセットタイミング

### 2.3.3. リセットタイミング: FPGA リセット

SOM\_FPGA\_RESET\_TRG\_B 信号を 0.3ms 以上 Low にすることによって、FPGA リセットをかけることが可能です。リセットタイミングを図 2-7 に示します。

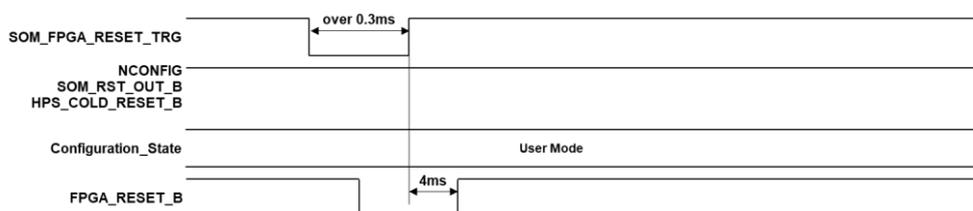


図 2-7 FPGA リセットタイミング

## 2.4. クロック回路

本製品のクロックの回路構成を図 2-8 に示します。

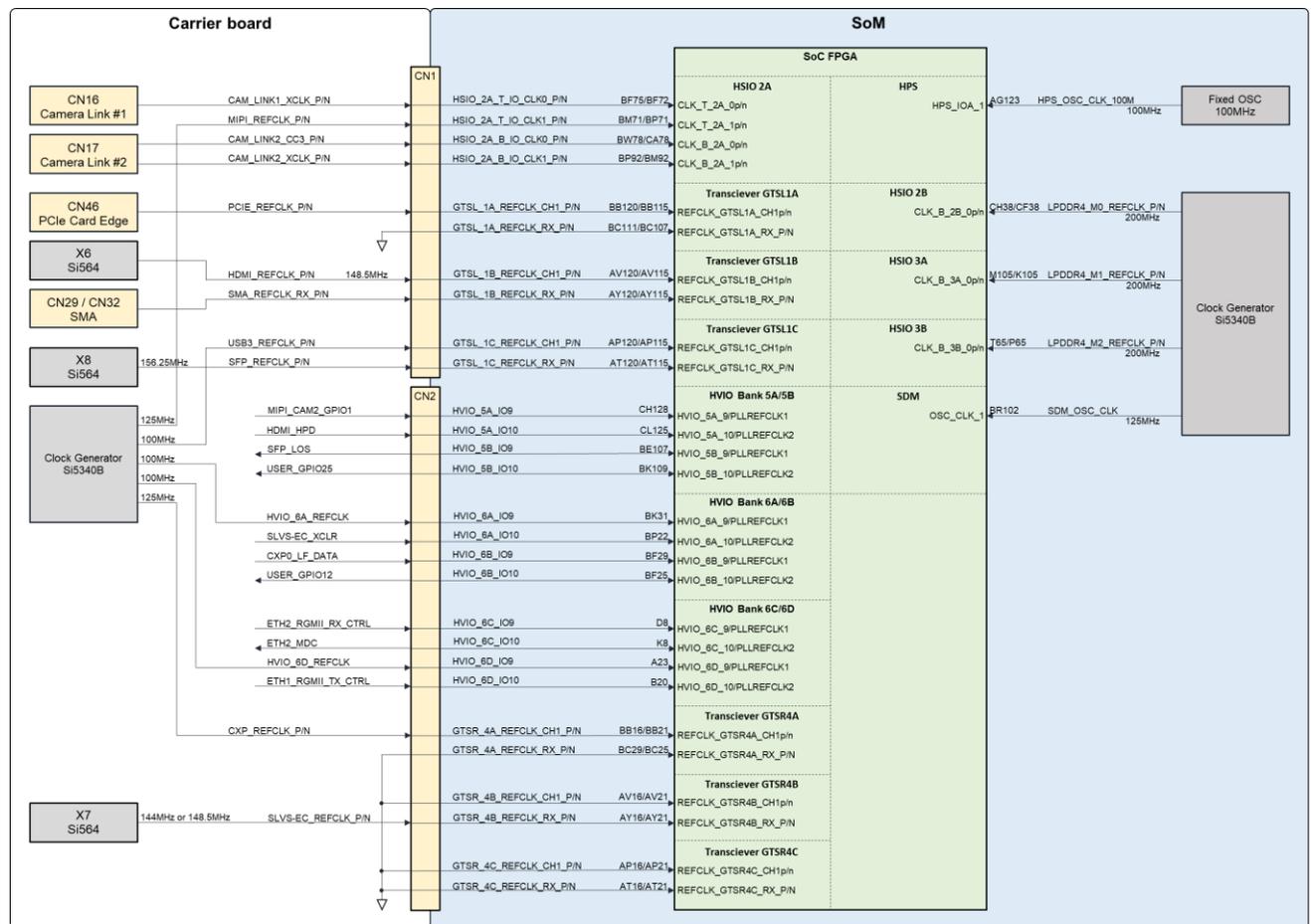


図 2-8 クロック回路構成

## 2.5. Ethernet

本製品はHPS 側に 1 チャンネル、FPGA 側に 2 チャンネルの Ethernet 回路を搭載しています。Ethernet コネクタのボードレイアウトを図 2-9 に示します。

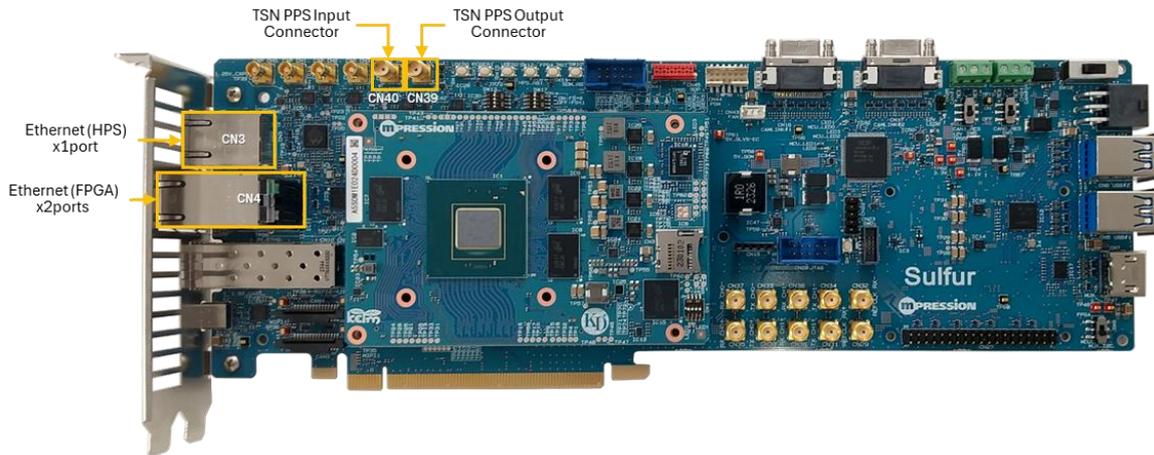


図 2-9 Ethernet コネクタレイアウト

### 2.5.1. Ethernet HPS (CN3)

HPS 側 Ethernet の回路構成を図 2-10、ピンアサインを表 2-4 に示します。

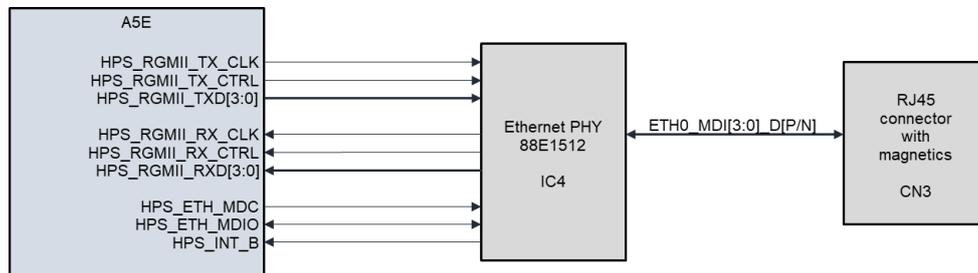


図 2-10 Ethernet (HPS) 回路構成

表 2-4 Ethernet (HPS) 回路ピンアサイン

| 信号名               | BtoB ピン | SoM ピン名           | A5E ピン | I/O Standard |
|-------------------|---------|-------------------|--------|--------------|
| HPS_RGMII_RX_CLK  | CN1.C8  | HPS_RGMII_RX_CLK  | M124   | 1.8-V LVCMOS |
| HPS_RGMII_RX_CTRL | CN1.C9  | HPS_RGMII_RX_CTRL | AB127  | 1.8-V LVCMOS |
| HPS_RGMII_RXD0    | CN1.C11 | HPS_RGMII_RXD0    | H127   | 1.8-V LVCMOS |
| HPS_RGMII_RXD1    | CN1.C12 | HPS_RGMII_RXD1    | AB124  | 1.8-V LVCMOS |
| HPS_RGMII_RXD2    | CN1.C14 | HPS_RGMII_RXD2    | F124   | 1.8-V LVCMOS |
| HPS_RGMII_RXD3    | CN1.C15 | HPS_RGMII_RXD3    | D124   | 1.8-V LVCMOS |
| HPS_RGMII_TX_CLK  | CN1.D7  | HPS_RGMII_TX_CLK  | M127   | 1.8-V LVCMOS |
| HPS_RGMII_TX_CTRL | CN1.D8  | HPS_RGMII_TX_CTRL | K127   | 1.8-V LVCMOS |
| HPS_RGMII_TXD0    | CN1.D10 | HPS_RGMII_TXD0    | K124   | 1.8-V LVCMOS |
| HPS_RGMII_TXD1    | CN1.D11 | HPS_RGMII_TXD1    | Y127   | 1.8-V LVCMOS |
| HPS_RGMII_TXD2    | CN1.D13 | HPS_RGMII_TXD2    | F127   | 1.8-V LVCMOS |
| HPS_RGMII_TXD3    | CN1.D14 | HPS_RGMII_TXD3    | Y124   | 1.8-V LVCMOS |
| HPS_ETH_MDIO      | CN1.D16 | HPS_ETH_MDIO      | R134   | 1.8-V LVCMOS |

| 信号名           | BtoB ピン | SoM ピン名       | A5E ピン | I/O Standard |
|---------------|---------|---------------|--------|--------------|
| HPS_ETH_MDC   | CN1.D17 | HPS_ETH_MDC   | AG115  | 1.8-V LVCMOS |
| HPS_ETH_INT_B | CN1.D19 | HPS_ETH_INT_B | U135   | 1.8-V LVCMOS |

## 2.5.2. Ethernet FPGA (CN4)

FPGA 側 Ethernet の回路構成を図 2-11、ピンアサインを表 2-5 に示します。

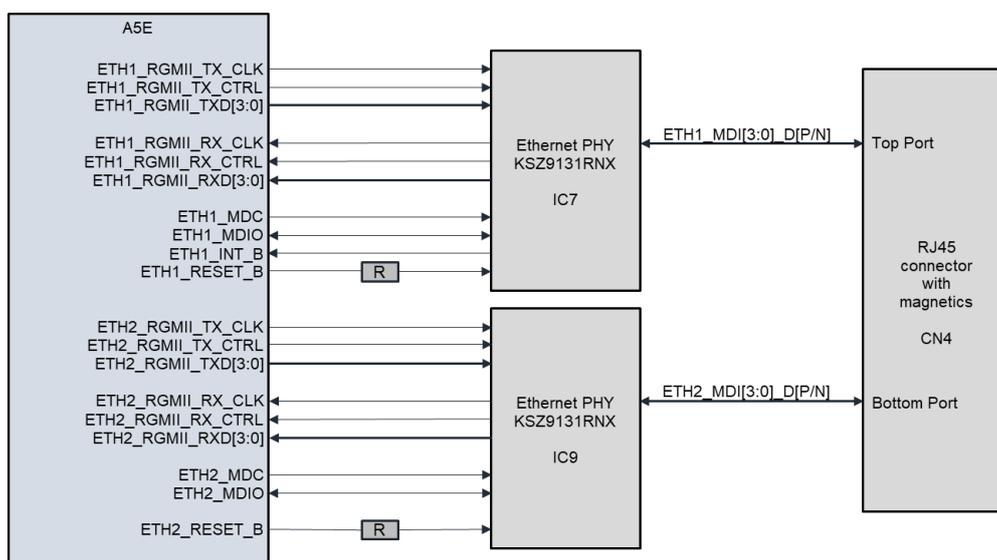


図 2-11 Ethernet (FPGA) 回路構成

※Ethernet PHY (IC7, IC9) のリセット端子はデフォルトで、どちらも共に SOM\_RST\_OUT\_B\_1V8 に接続されていますが、0Ω抵抗を付け替えることによって、FPGA からの出力 ETH1\_RESET\_B 及び ETH2\_RESET\_B に接続することも可能です。

表 2-5 Ethernet (FPGA) 回路ピンアサイン

| 信号名                | BtoB ピン | SoM ピン名      | A5E ピン | I/O Standard |
|--------------------|---------|--------------|--------|--------------|
| ETH1_INT_B         | CN2.B13 | HVIO_6D_IO17 | A39    | 1.8-V LVCMOS |
| ETH1_MDC           | CN2.B20 | HVIO_6D_IO12 | B26    | 1.8-V LVCMOS |
| ETH1_MDIO          | CN2.A14 | HVIO_6D_IO18 | B35    | 1.8-V LVCMOS |
| ETH1_RESET_B       | CN2.B26 | HVIO_6D_IO4  | B11    | 1.8-V LVCMOS |
| ETH1_RGMII_RX_CLK  | CN2.B19 | HVIO_6D_IO11 | B23    | 1.8-V LVCMOS |
| ETH1_RGMII_RX_CTRL | CN2.A21 | HVIO_6D_IO10 | B20    | 1.8-V LVCMOS |
| ETH1_RGMII_RXD0    | CN2.B22 | HVIO_6D_IO7  | A20    | 1.8-V LVCMOS |
| ETH1_RGMII_RXD1    | CN2.A23 | HVIO_6D_IO6  | A14    | 1.8-V LVCMOS |
| ETH1_RGMII_RXD2    | CN2.A24 | HVIO_6D_IO5  | B14    | 1.8-V LVCMOS |
| ETH1_RGMII_RXD3    | CN2.B23 | HVIO_6D_IO8  | A17    | 1.8-V LVCMOS |
| ETH1_RGMII_TX_CLK  | CN2.A15 | HVIO_6D_IO19 | D34    | 1.8-V LVCMOS |
| ETH1_RGMII_TX_CTRL | CN2.B14 | HVIO_6D_IO20 | B39    | 1.8-V LVCMOS |
| ETH1_RGMII_TXD0    | CN2.B16 | HVIO_6D_IO15 | A35    | 1.8-V LVCMOS |
| ETH1_RGMII_TXD1    | CN2.A17 | HVIO_6D_IO14 | A30    | 1.8-V LVCMOS |
| ETH1_RGMII_TXD2    | CN2.A18 | HVIO_6D_IO13 | B30    | 1.8-V LVCMOS |
| ETH1_RGMII_TXD3    | CN2.B17 | HVIO_6D_IO16 | A33    | 1.8-V LVCMOS |
| ETH2_INT_B         | CN2.D23 | HVIO_6C_IO17 | G2     | 1.8-V LVCMOS |
| ETH2_MDC           | CN2.C27 | HVIO_6C_IO10 | K8     | 1.8-V LVCMOS |

| 信号名                | BtoB ピン | SoM ピン名      | A5E ピン | I/O Standard |
|--------------------|---------|--------------|--------|--------------|
| ETH2_MDIO          | CN2.C26 | HVIO_6C_IO12 | H8     | 1.8-V LVCMOS |
| ETH2_RESET_B       | CN2.D26 | HVIO_6C_IO18 | J2     | 1.8-V LVCMOS |
| ETH2_RGMII_RX_CLK  | CN2.D19 | HVIO_6C_IO11 | F8     | 1.8-V LVCMOS |
| ETH2_RGMII_RX_CTRL | CN2.D20 | HVIO_6C_IO9  | D8     | 1.8-V LVCMOS |
| ETH2_RGMII_RXD0    | CN2.C17 | HVIO_6C_IO6  | D15    | 1.8-V LVCMOS |
| ETH2_RGMII_RXD1    | CN2.C18 | HVIO_6C_IO8  | F15    | 1.8-V LVCMOS |
| ETH2_RGMII_RXD2    | CN2.D17 | HVIO_6C_IO5  | H18    | 1.8-V LVCMOS |
| ETH2_RGMII_RXD3    | CN2.C15 | HVIO_6C_IO7  | F18    | 1.8-V LVCMOS |
| ETH2_RGMII_TX_CLK  | CN2.C24 | HVIO_6C_IO20 | G1     | 1.8-V LVCMOS |
| ETH2_RGMII_TX_CTRL | CN2.C23 | HVIO_6C_IO19 | J1     | 1.8-V LVCMOS |
| ETH2_RGMII_TXD0    | CN2.D25 | HVIO_6C_IO16 | K4     | 1.8-V LVCMOS |
| ETH2_RGMII_TXD1    | CN2.C21 | HVIO_6C_IO13 | C2     | 1.8-V LVCMOS |
| ETH2_RGMII_TXD2    | CN2.D22 | HVIO_6C_IO15 | F4     | 1.8-V LVCMOS |
| ETH2_RGMII_TXD3    | CN2.C20 | HVIO_6C_IO14 | D4     | 1.8-V LVCMOS |

### 2.5.3. TSN コネクタ (CN39, CN40)

TSN コネクタは TSN の同期信号の入力及び出力に使用します。回路構成を図 2-12、ピンアサインを表 2-6 に示します。

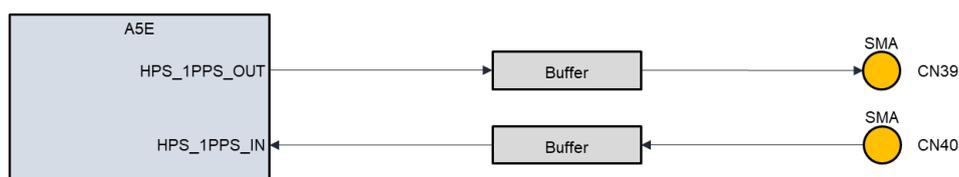


図 2-12 TSN 回路構成

表 2-6 TSN 同期信号ピンアサイン

| 信号名              | BtoB ピン | SoM ピン名      | A5E ピン | I/O Standard |
|------------------|---------|--------------|--------|--------------|
| HPS_1PPS_OUT_1V8 | CN1.B19 | HPS_1PPS_OUT | U134   | 1.8-V LVCMOS |
| HPS_1PPS_IN_1V8  | CN1.B20 | HPS_1PPS_IN  | AL120  | 1.8-V LVCMOS |

## 2.6. USB 3.1 / 2.0

本製品の USB コネクタのボードレイアウトを図 2-13、回路構成を図 2-14、ピンアサインを表 2-7 に示します。

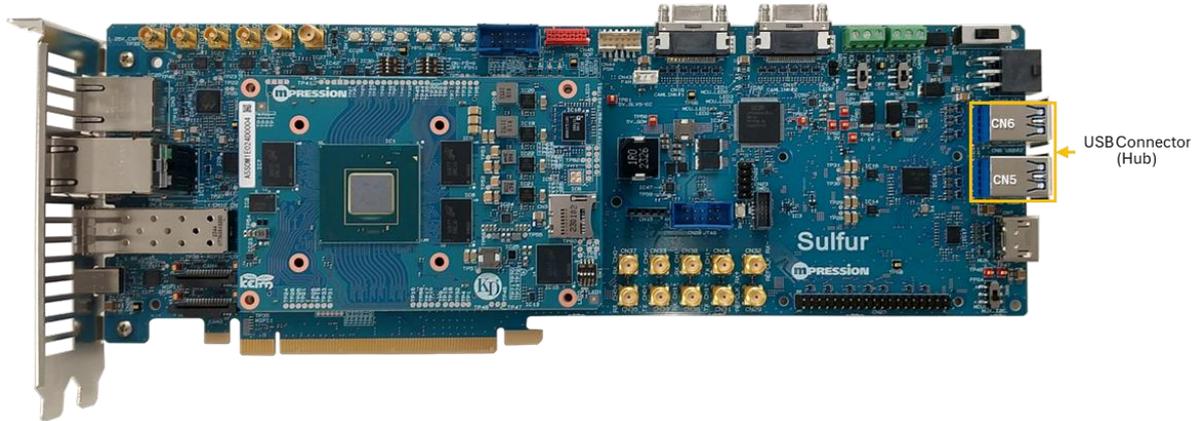


図 2-13 USB コネクタレイアウト

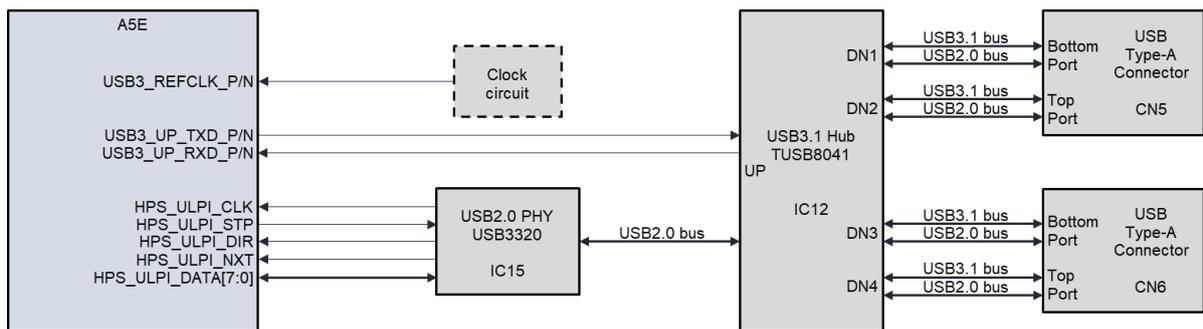


図 2-14 USB 回路構成

表 2-7 USB 回路ピンアサイン

| 信号名              | BtoB ピン | SoM ピン名              | A5E ピン | I/O Standard             |
|------------------|---------|----------------------|--------|--------------------------|
| HPS_ULPI_CLK     | CN1.B11 | HPS_ULPI_CLK         | P132   | 1.8-V LVCMOS             |
| HPS_ULPI_DATA0   | CN1.A11 | HPS_ULPI_DATA0       | AD135  | 1.8-V LVCMOS             |
| HPS_ULPI_DATA1   | CN1.A9  | HPS_ULPI_DATA1       | M132   | 1.8-V LVCMOS             |
| HPS_ULPI_DATA2   | CN1.B7  | HPS_ULPI_DATA2       | K132   | 1.8-V LVCMOS             |
| HPS_ULPI_DATA3   | CN1.A6  | HPS_ULPI_DATA3       | AG129  | 1.8-V LVCMOS             |
| HPS_ULPI_DATA4   | CN1.B10 | HPS_ULPI_DATA4       | J134   | 1.8-V LVCMOS             |
| HPS_ULPI_DATA5   | CN1.A5  | HPS_ULPI_DATA5       | AG120  | 1.8-V LVCMOS             |
| HPS_ULPI_DATA6   | CN1.B8  | HPS_ULPI_DATA6       | G134   | 1.8-V LVCMOS             |
| HPS_ULPI_DATA7   | CN1.A8  | HPS_ULPI_DATA7       | G135   | 1.8-V LVCMOS             |
| HPS_ULPI_DIR     | CN1.B14 | HPS_ULPI_DIR         | J135   | 1.8-V LVCMOS             |
| HPS_ULPI_NXT     | CN1.A12 | HPS_ULPI_NXT         | AD134  | 1.8-V LVCMOS             |
| HPS_ULPI_STP     | CN1.B13 | HPS_ULPI_STP         | L135   | 1.8-V LVCMOS             |
| USB_ID_3V3       | CN2.B87 | HVIO_5A_IO1          | CD134  | 3.3-V LVCMOS             |
| USB_VBUS_DET_3V3 | CN2.A92 | HVIO_5A_IO4          | CG135  | 3.3-V LVCMOS             |
| USB3_REFCLK_N    | CN1.A41 | GTSL_1C_REFCLK_CH1_N | AP115  | Current Mode Logic (CML) |
| USB3_REFCLK_P    | CN1.A42 | GTSL_1C_REFCLK_CH1_P | AP120  | Current Mode Logic (CML) |

|               |         |                  |       |                             |
|---------------|---------|------------------|-------|-----------------------------|
| USB3_UP_RXD_N | CN1.D35 | GTSL_1C_RX_CH2_N | AM133 | High Speed Differential I/O |
| USB3_UP_RXD_P | CN1.D36 | GTSL_1C_RX_CH2_P | AM135 | High Speed Differential I/O |
| USB3_UP_TXD_N | CN1.C33 | GTSL_1C_TX_CH2_N | AN126 | High Speed Differential I/O |
| USB3_UP_TXD_P | CN1.C34 | GTSL_1C_TX_CH2_P | AN129 | High Speed Differential I/O |

## 2.7. 10GbE

本製品の 10GbE コネクタのボードレイアウトを図 2-15、回路構成を図 2-16、ピンアサインを表 2-8 に示します。

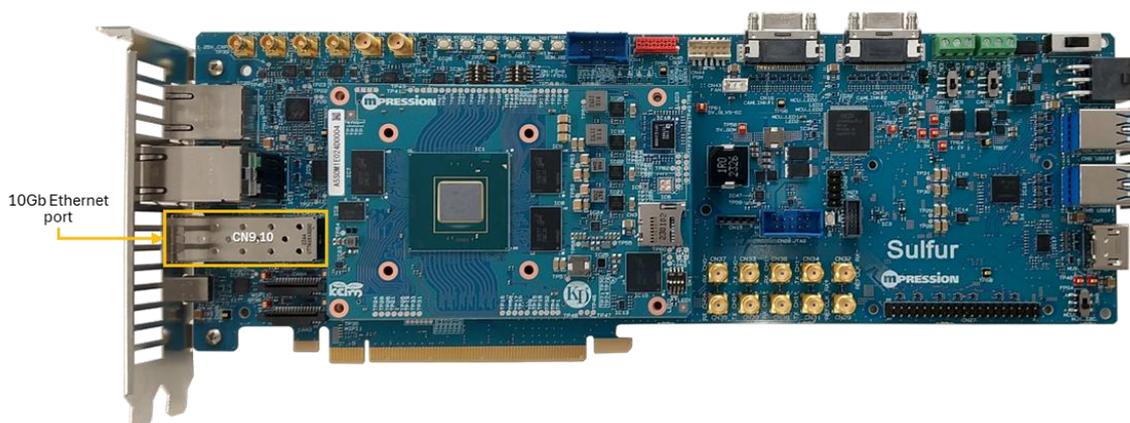


図 2-15 10GbE コネクタレイアウト

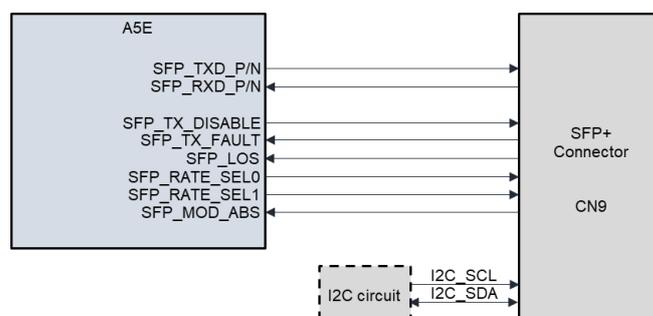


図 2-16 10GbE 回路構成

表 2-8 10GbE 回路ピンアサイン

| 信号名            | BtoB ピン | SoM ピン名             | A5E ピン | I/O Standard                |
|----------------|---------|---------------------|--------|-----------------------------|
| SFP_TXD_N      | CN1.A33 | GTSL_1C_TX_CH3_N    | AL126  | High Speed Differential I/O |
| SFP_TXD_P      | CN1.A34 | GTSL_1C_TX_CH3_P    | AL129  | High Speed Differential I/O |
| SFP_RXD_N      | CN1.B35 | GTSL_1C_RX_CH3_N    | AK133  | High Speed Differential I/O |
| SFP_RXD_P      | CN1.B36 | GTSL_1C_RX_CH3_P    | AK135  | High Speed Differential I/O |
| SFP_REFCLK_N   | CN1.C41 | GTSL_1C_REFCLK_RX_N | AT115  | Current Mode Logic (CML)    |
| SFP_REFCLK_P   | CN1.C42 | GTSL_1C_REFCLK_RX_P | AT120  | Current Mode Logic (CML)    |
| SFP_TX_FAULT   | CN2.D96 | HVIO_5B_IO1         | BF111  | 3.3-V LVCMOS                |
| SFP_MOD_ABS    | CN2.C98 | HVIO_5B_IO11        | BE111  | 3.3-V LVCMOS                |
| SFP_TX_DISABLE | CN2.C96 | HVIO_5B_IO20        | BF120  | 3.3-V LVCMOS                |
| SFP_RATE_SEL0  | CN2.D97 | HVIO_5B_IO3         | BE115  | 3.3-V LVCMOS                |
| SFP_RATE_SEL1  | CN2.C95 | HVIO_5B_IO4         | BF115  | 3.3-V LVCMOS                |
| SFP_LOS        | CN2.C99 | HVIO_5B_IO9         | BE107  | 3.3-V LVCMOS                |

## 2.8. HDMI

本製品の HDMI のコネクタレイアウトを図 2-15、回路構成を図 2-18、ピンアサインを表 2-9 に示します。

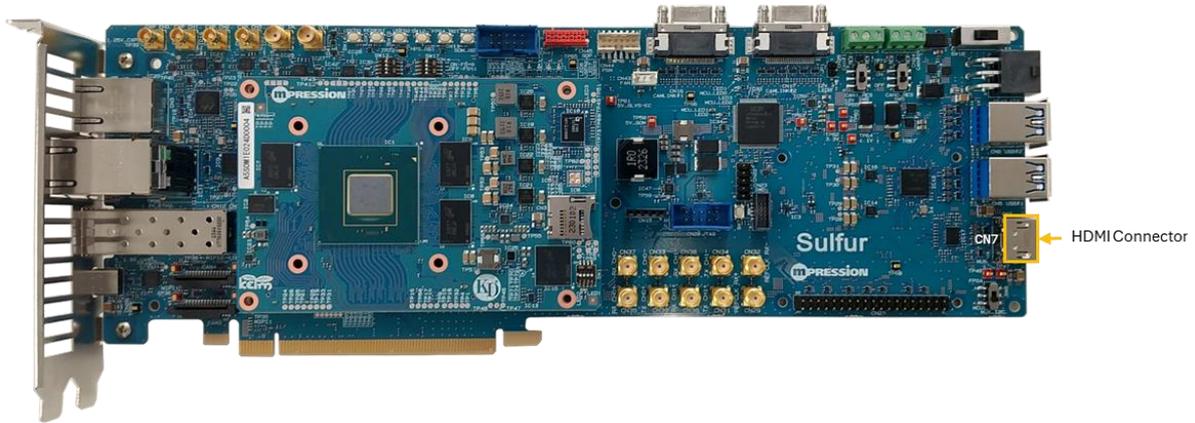


図 2-17 HDMI コネクタレイアウト

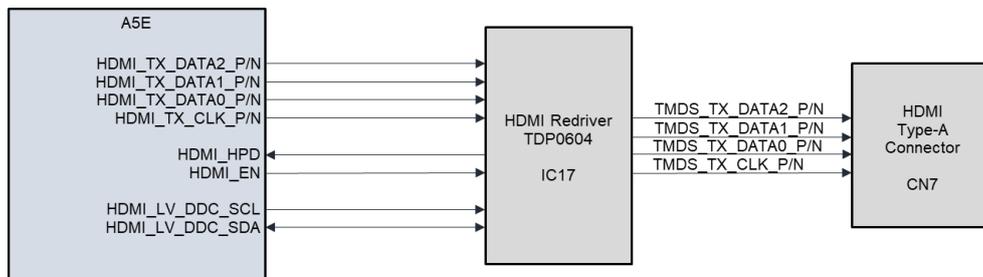


図 2-18 HDMI 回路構成

表 2-9 HDMI 回路ピンアサイン

| 信号名                 | BtoB ピン  | SoM ピン名              | A5E ピン | I/O Standard                |
|---------------------|----------|----------------------|--------|-----------------------------|
| HDMI_TX_DATA2_P     | CN1.D44  | GTSL_1B_TX_CH2_P     | BA129  | High Speed Differential I/O |
| HDMI_TX_DATA2_N     | CN1.D43  | GTSL_1B_TX_CH2_N     | BA126  | High Speed Differential I/O |
| HDMI_TX_DATA1_P     | CN1.B48  | GTSL_1B_TX_CH1_P     | BC129  | High Speed Differential I/O |
| HDMI_TX_DATA1_N     | CN1.B47  | GTSL_1B_TX_CH1_N     | BC126  | High Speed Differential I/O |
| HDMI_TX_DATA0_P     | CN1.D48  | GTSL_1B_TX_CH0_P     | BE129  | High Speed Differential I/O |
| HDMI_TX_DATA0_N     | CN1.D47  | GTSL_1B_TX_CH0_N     | BE126  | High Speed Differential I/O |
| HDMI_TX_CLK_P       | CN1.B44  | GTSL_1B_TX_CH3_P     | AW129  | High Speed Differential I/O |
| HDMI_TX_CLK_N       | CN1.B43  | GTSL_1B_TX_CH3_N     | AW126  | High Speed Differential I/O |
| HDMI_REFCLK_P       | CN1.B52  | GTSL_1B_REFCLK_CH1_P | AV120  | Current Mode Logic (CML)    |
| HDMI_REFCLK_N       | CN1.B51  | GTSL_1B_REFCLK_CH1_N | AV115  | Current Mode Logic (CML)    |
| HDMI_LV_DDC_SDA_3V3 | CN2.A96  | HVIO_5A_IO17         | CL128  | 3.3-V LVC MOS               |
| HDMI_LV_DDC_SCL_3V3 | CN2.B97  | HVIO_5A_IO20         | CK128  | 3.3-V LVC MOS               |
| HDMI_HPD_3V3        | CN2.B100 | HVIO_5A_IO10         | CL125  | 3.3-V LVC MOS               |
| HDMI_EN_3V3         | CN2.B99  | HVIO_5A_IO19         | CK125  | 3.3-V LVC MOS               |

## 2.9. MIPI

本製品の MIPI 回路のボードレイアウトを図 2-19、回路構成を図 2-20、ピンアサインを表 2-10 に示します。MIPI 使用時は、SW19 を設定して HSIO\_2A のバンク電圧を 1.2V にして使用してください。

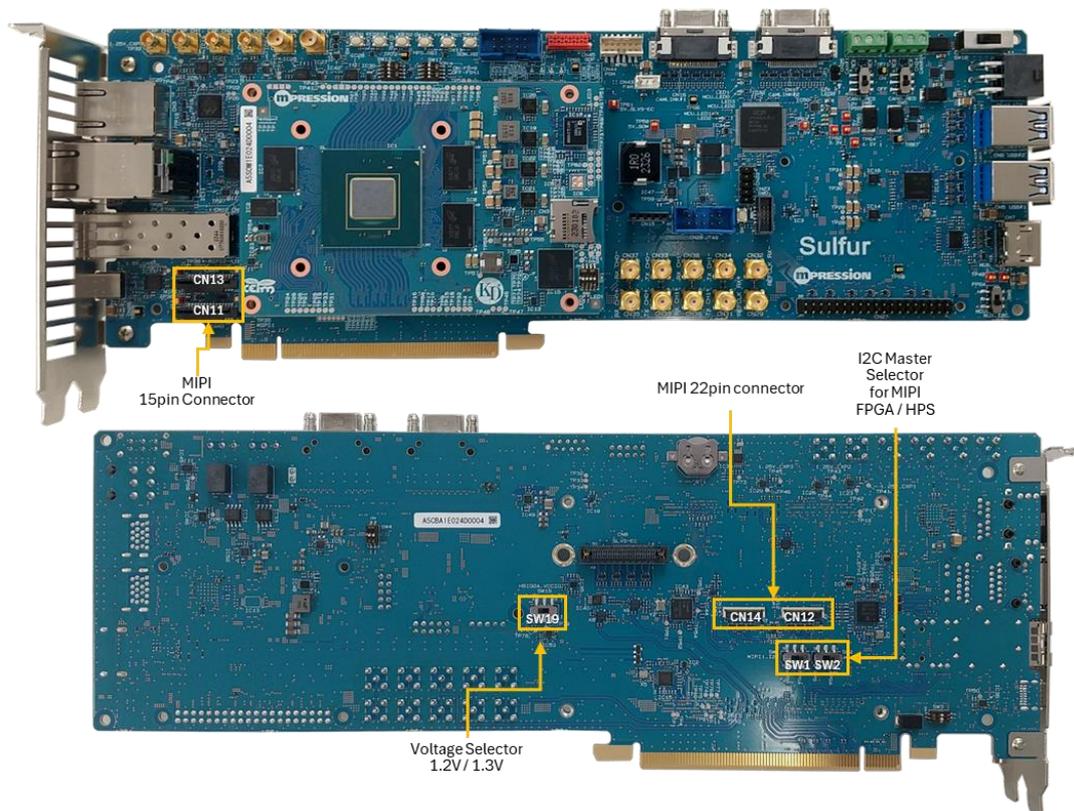


図 2-19 MIPI 関連レイアウト

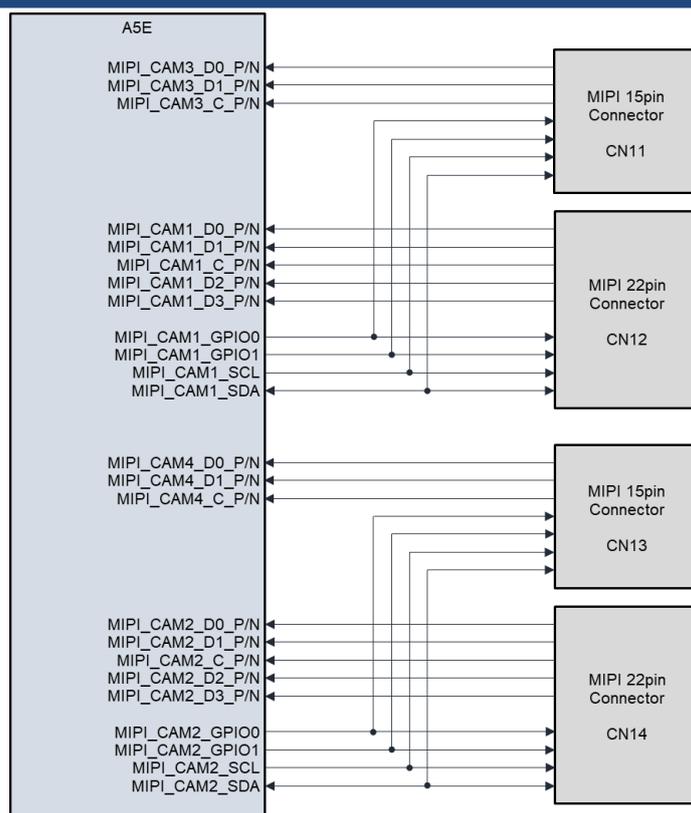


図 2-20 MIPI 回路構成

表 2-10 MIPI 回路ピンアサイン

| 信号名                 | BtoB ピン | SoM ピン名          | A5E ピン | I/O Standard |
|---------------------|---------|------------------|--------|--------------|
| MIPI_CAM1_C_N       | CN1.C89 | HSIO_2A_T_IO_N4  | CF69   | DPHY         |
| MIPI_CAM1_C_P       | CN1.C90 | HSIO_2A_T_IO_P4  | CH69   | DPHY         |
| MIPI_CAM1_D0_N      | CN1.C83 | HSIO_2A_T_IO_N6  | CH71   | DPHY         |
| MIPI_CAM1_D0_P      | CN1.C84 | HSIO_2A_T_IO_P6  | CF71   | DPHY         |
| MIPI_CAM1_D1_N      | CN1.C86 | HSIO_2A_T_IO_N5  | CA71   | DPHY         |
| MIPI_CAM1_D1_P      | CN1.C87 | HSIO_2A_T_IO_P5  | CC71   | DPHY         |
| MIPI_CAM1_D2_N      | CN1.C95 | HSIO_2A_T_IO_N3  | CC62   | DPHY         |
| MIPI_CAM1_D2_P      | CN1.C96 | HSIO_2A_T_IO_P3  | CA62   | DPHY         |
| MIPI_CAM1_D3_N      | CN1.C92 | HSIO_2A_T_IO_N2  | CH62   | DPHY         |
| MIPI_CAM1_D3_P      | CN1.C93 | HSIO_2A_T_IO_P2  | CF62   | DPHY         |
| MIPI_CAM1_GPIO0_3V3 | CN2.B88 | HVIO_5A_IO15     | CA118  | 3.3-V LVCMOS |
| MIPI_CAM1_GPIO1_3V3 | CN2.A86 | HVIO_5A_IO12     | CF118  | 3.3-V LVCMOS |
| MIPI_CAM1_SCL_3V3   | CN2.B84 | HVIO_5A_IO11     | CF121  | 3.3-V LVCMOS |
| MIPI_CAM1_SDA_3V3   | CN2.A83 | HVIO_5A_IO7      | CF128  | 3.3-V LVCMOS |
| MIPI_CAM2_C_N       | CN1.D90 | HSIO_2A_T_IO_N10 | CA69   | DPHY         |
| MIPI_CAM2_C_P       | CN1.D91 | HSIO_2A_T_IO_P10 | BW69   | DPHY         |
| MIPI_CAM2_D0_N      | CN1.D87 | HSIO_2A_T_IO_N12 | BU69   | DPHY         |
| MIPI_CAM2_D0_P      | CN1.D88 | HSIO_2A_T_IO_P12 | BR69   | DPHY         |
| MIPI_CAM2_D1_N      | CN1.D84 | HSIO_2A_T_IO_N11 | BU71   | DPHY         |
| MIPI_CAM2_D1_P      | CN1.D85 | HSIO_2A_T_IO_P11 | BR71   | DPHY         |
| MIPI_CAM2_D2_N      | CN1.D93 | HSIO_2A_T_IO_N9  | BR62   | DPHY         |
| MIPI_CAM2_D2_P      | CN1.D94 | HSIO_2A_T_IO_P9  | BU62   | DPHY         |
| MIPI_CAM2_D3_N      | CN1.D96 | HSIO_2A_T_IO_N8  | BR59   | DPHY         |
| MIPI_CAM2_D3_P      | CN1.D97 | HSIO_2A_T_IO_P8  | BU59   | DPHY         |

| 信号名                 | BtoB ピン | SoM ピン名             | A5E ピン | I/O Standard                     |
|---------------------|---------|---------------------|--------|----------------------------------|
| MIPI_CAM2_GPIO0_3V3 | CN2.B85 | HVIO_5A_IO16        | BW118  | 3.3-V LVCMOS                     |
| MIPI_CAM2_GPIO1_3V3 | CN2.A84 | HVIO_5A_IO9         | CH128  | 3.3-V LVCMOS                     |
| MIPI_CAM2_SCL_3V3   | CN2.B82 | HVIO_5A_IO14        | BR118  | 3.3-V LVCMOS                     |
| MIPI_CAM2_SDA_3V3   | CN2.B81 | HVIO_5A_IO13        | BU118  | 3.3-V LVCMOS                     |
| MIPI_CAM3_C_N       | CN1.D69 | HSIO_2A_B_IO_N16    | CF89   | DPHY                             |
| MIPI_CAM3_C_P       | CN1.D70 | HSIO_2A_B_IO_P16    | CH89   | DPHY                             |
| MIPI_CAM3_D0_N      | CN1.D66 | HSIO_2A_B_IO_N18    | CA92   | DPHY                             |
| MIPI_CAM3_D0_P      | CN1.D67 | HSIO_2A_B_IO_P18    | CC92   | DPHY                             |
| MIPI_CAM3_D1_N      | CN1.D63 | HSIO_2A_B_IO_N17    | CH92   | DPHY                             |
| MIPI_CAM3_D1_P      | CN1.D64 | HSIO_2A_B_IO_P17    | CF92   | DPHY                             |
| MIPI_CAM4_C_N       | CN1.A77 | HSIO_2A_B_IO_N22    | CK88   | DPHY                             |
| MIPI_CAM4_C_P       | CN1.A78 | HSIO_2A_B_IO_P22    | CL88   | DPHY                             |
| MIPI_CAM4_D0_N      | CN1.B75 | HSIO_2A_B_IO_N24    | CK94   | DPHY                             |
| MIPI_CAM4_D0_P      | CN1.B76 | HSIO_2A_B_IO_P24    | CL91   | DPHY                             |
| MIPI_CAM4_D1_N      | CN1.A74 | HSIO_2A_B_IO_N23    | CL97   | DPHY                             |
| MIPI_CAM4_D1_P      | CN1.A75 | HSIO_2A_B_IO_P23    | CK97   | DPHY                             |
| MIPI_REFCLK_N       | CN1.A83 | HSIO_2A_T_IO_CLK1_N | BP71   | 1.2V True Differential Signaling |
| MIPI_REFCLK_P       | CN1.A84 | HSIO_2A_T_IO_CLK1_P | BM71   | 1.2V True Differential Signaling |

表 2-11 HSIO\_2A 電圧 1.2V 設定 (SW19)

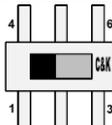
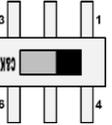
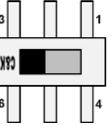
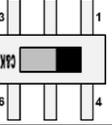
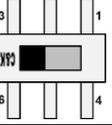
| リファレンス | 名称            | 設定モード                                    | 設定  |
|--------|---------------|--|---|
| SW19   | HSIO_2A_VCCIO | 1, 4 側: HSIO_2A のバンク電圧を 1.2V に設定 (デフォルト) |  |

表 2-12 MIPI I2C マスタ選択スイッチ (SW1, SW2)

| リファレンス | 名称                          | 設定モード                              | 参考図   |
|--------|-----------------------------|------------------------------------|---|
| SW1    | MIPI_CAM1、CAM3<br>I2C マスタ選択 | 1, 4 側: I2C マスタを FPGA 側に設定 (デフォルト) |  |
|        |                             | 3, 6 側: I2C マスタを HPS 側に設定          |  |
| SW2    | MIPI_CAM2、CAM4<br>I2C マスタ選択 | 1, 4 側: I2C マスタを FPGA 側に設定 (デフォルト) |  |
|        |                             | 3, 6 側: I2C マスタを HPS 側に設定          |  |

## 2.10. Camera Link

本製品の Camera Link 回路のボードレイアウトを図 2-21、回路構成を図 2-22、ピンアサインを表 2-13 に示します。Camera Link 使用時は、SW19 を設定して HSIO\_2A のバンク電圧を 1.3V にして使用してください。

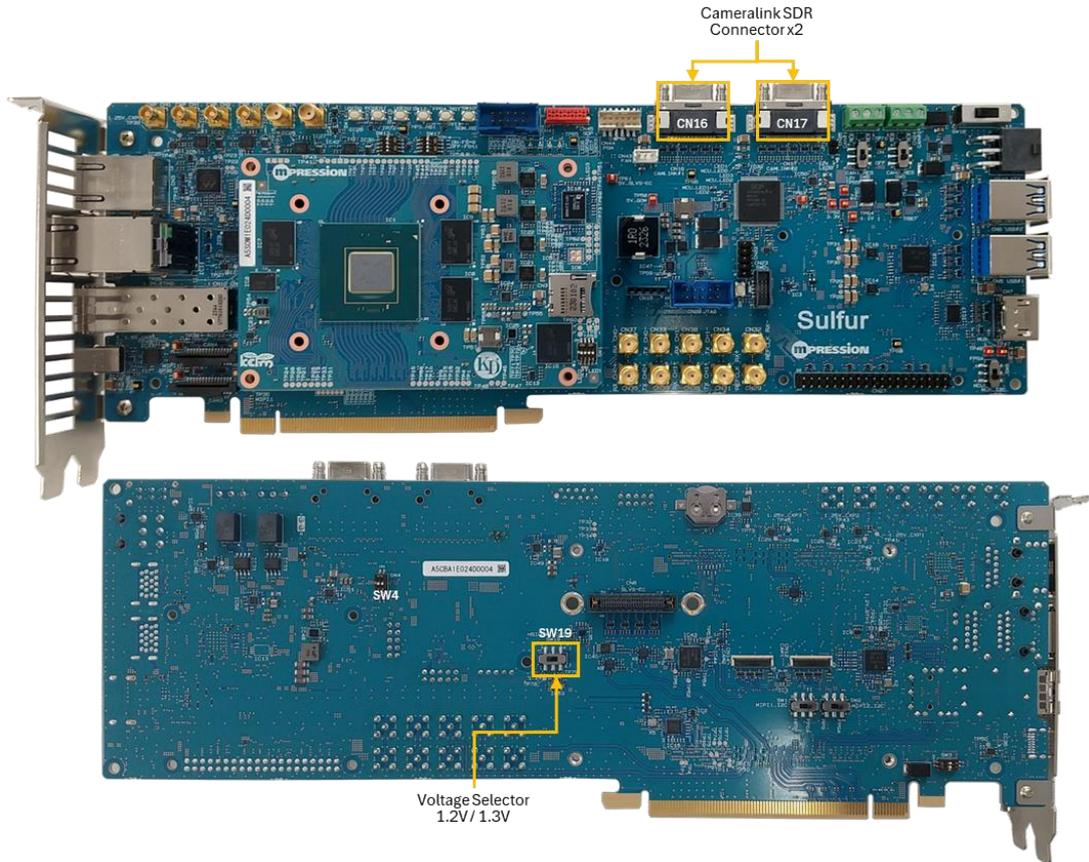


図 2-21 Camera Link 関連レイアウト

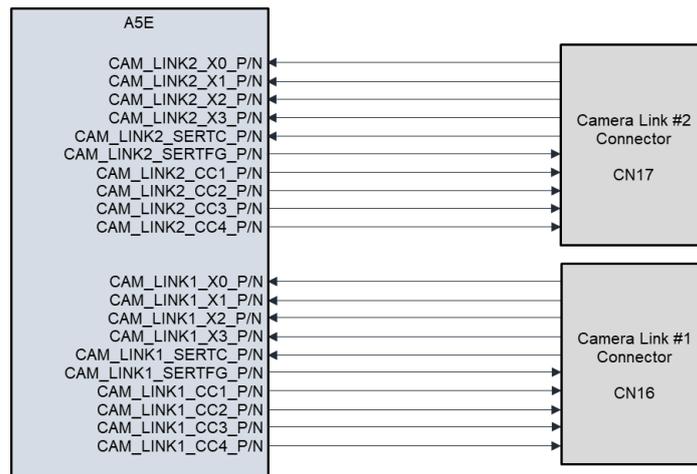
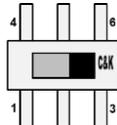


図 2-22 Camera Link 回路構成

表 2-13 Camera Link 回路ピンアサイン

| 信号名                 | BtoB ピン  | SoM ピン名             | A5E ピン | I/O Standard                     |
|---------------------|----------|---------------------|--------|----------------------------------|
| CAM_LINK2_XCLK_P    | CN1.A66  | HSIO_2A_B_IO_CLK1_P | BP92   | 1.3V True Differential Signaling |
| CAM_LINK2_XCLK_N    | CN1.A65  | HSIO_2A_B_IO_CLK1_N | BM92   | 1.3V True Differential Signaling |
| CAM_LINK2_X3_P      | CN1.B70  | HSIO_2A_B_IO_P3     | BM81   | 1.3V True Differential Signaling |
| CAM_LINK2_X3_N      | CN1.B69  | HSIO_2A_B_IO_N3     | BP81   | 1.3V True Differential Signaling |
| CAM_LINK2_X2_P      | CN1.B73  | HSIO_2A_B_IO_P2     | BH81   | 1.3V True Differential Signaling |
| CAM_LINK2_X2_N      | CN1.B72  | HSIO_2A_B_IO_N2     | BH78   | 1.3V True Differential Signaling |
| CAM_LINK2_X1_P      | CN1.A69  | HSIO_2A_B_IO_P1     | BM78   | 1.3V True Differential Signaling |
| CAM_LINK2_X1_N      | CN1.A68  | HSIO_2A_B_IO_N1     | BK78   | 1.3V True Differential Signaling |
| CAM_LINK2_X0_P      | CN1.B67  | HSIO_2A_B_IO_P4     | BK89   | 1.3V True Differential Signaling |
| CAM_LINK2_X0_N      | CN1.B66  | HSIO_2A_B_IO_N4     | BM89   | 1.3V True Differential Signaling |
| CAM_LINK2_SERTEFG_P | CN1.C69  | HSIO_2A_B_IO_P12    | BR89   | 1.3V True Differential Signaling |
| CAM_LINK2_SERTEFG_N | CN1.C68  | HSIO_2A_B_IO_N12    | BU89   | 1.3V True Differential Signaling |
| CAM_LINK2_SERTEC_P  | CN1.C66  | HSIO_2A_B_IO_P11    | BR92   | 1.3V True Differential Signaling |
| CAM_LINK2_SERTEC_N  | CN1.C65  | HSIO_2A_B_IO_N11    | BU92   | 1.3V True Differential Signaling |
| CAM_LINK2_CC4_P     | CN1.C75  | HSIO_2A_B_IO_P9     | BR81   | 1.3V True Differential Signaling |
| CAM_LINK2_CC4_N     | CN1.C74  | HSIO_2A_B_IO_N9     | BU81   | 1.3V True Differential Signaling |
| CAM_LINK2_CC3_P     | CN1.A72  | HSIO_2A_B_IO_CLK0_P | BW78   | 1.3V True Differential Signaling |
| CAM_LINK2_CC3_N     | CN1.A71  | HSIO_2A_B_IO_CLK0_N | CA78   | 1.3V True Differential Signaling |
| CAM_LINK2_CC2_P     | CN1.C78  | HSIO_2A_B_IO_P8     | BR78   | 1.3V True Differential Signaling |
| CAM_LINK2_CC2_N     | CN1.C77  | HSIO_2A_B_IO_N8     | BU78   | 1.3V True Differential Signaling |
| CAM_LINK2_CC1_P     | CN1.C72  | HSIO_2A_B_IO_P10    | BW89   | 1.3V True Differential Signaling |
| CAM_LINK2_CC1_N     | CN1.C71  | HSIO_2A_B_IO_N10    | CA89   | 1.3V True Differential Signaling |
| CAM_LINK1_XCLK_P    | CN1.A87  | HSIO_2A_T_IO_CLK0_P | BF75   | 1.3V True Differential Signaling |
| CAM_LINK1_XCLK_N    | CN1.A86  | HSIO_2A_T_IO_CLK0_N | BF72   | 1.3V True Differential Signaling |
| CAM_LINK1_X3_P      | CN1.B91  | HSIO_2A_T_IO_P14    | BH62   | 1.3V True Differential Signaling |
| CAM_LINK1_X3_N      | CN1.B90  | HSIO_2A_T_IO_N14    | BH59   | 1.3V True Differential Signaling |
| CAM_LINK1_X2_P      | CN1.B88  | HSIO_2A_T_IO_P15    | BM62   | 1.3V True Differential Signaling |
| CAM_LINK1_X2_N      | CN1.B87  | HSIO_2A_T_IO_N15    | BP62   | 1.3V True Differential Signaling |
| CAM_LINK1_X1_P      | CN1.B85  | HSIO_2A_T_IO_P16    | BM69   | 1.3V True Differential Signaling |
| CAM_LINK1_X1_N      | CN1.B84  | HSIO_2A_T_IO_N16    | BK69   | 1.3V True Differential Signaling |
| CAM_LINK1_X0_P      | CN1.B82  | HSIO_2A_T_IO_P17    | BH69   | 1.3V True Differential Signaling |
| CAM_LINK1_X0_N      | CN1.B81  | HSIO_2A_T_IO_N17    | BH71   | 1.3V True Differential Signaling |
| CAM_LINK1_SERTEFG_P | CN1.A96  | HSIO_2A_T_IO_P24    | BE96   | 1.3V True Differential Signaling |
| CAM_LINK1_SERTEFG_N | CN1.A95  | HSIO_2A_T_IO_N24    | BE93   | 1.3V True Differential Signaling |
| CAM_LINK1_SERTEC_P  | CN1.B94  | HSIO_2A_T_IO_P13    | BM59   | 1.3V True Differential Signaling |
| CAM_LINK1_SERTEC_N  | CN1.B93  | HSIO_2A_T_IO_N13    | BK59   | 1.3V True Differential Signaling |
| CAM_LINK1_CC4_P     | CN1.A93  | HSIO_2A_T_IO_P20    | BE79   | 1.3V True Differential Signaling |
| CAM_LINK1_CC4_N     | CN1.A92  | HSIO_2A_T_IO_N20    | BE75   | 1.3V True Differential Signaling |
| CAM_LINK1_CC3_P     | CN1.A90  | HSIO_2A_T_IO_P21    | BE83   | 1.3V True Differential Signaling |
| CAM_LINK1_CC3_N     | CN1.A89  | HSIO_2A_T_IO_N21    | BF83   | 1.3V True Differential Signaling |
| CAM_LINK1_CC2_P     | CN1.B100 | HSIO_2A_T_IO_P22    | BF86   | 1.3V True Differential Signaling |
| CAM_LINK1_CC2_N     | CN1.B99  | HSIO_2A_T_IO_N22    | BE86   | 1.3V True Differential Signaling |
| CAM_LINK1_CC1_P     | CN1.A99  | HSIO_2A_T_IO_P23    | BF93   | 1.3V True Differential Signaling |
| CAM_LINK1_CC1_N     | CN1.A98  | HSIO_2A_T_IO_N23    | BF90   | 1.3V True Differential Signaling |

表 2-14 HSIO\_2A 電圧 1.3V 設定 (SW19)

| リファレンス | 名称            | 設定モード                            | 参考図   |
|--------|---------------|----------------------------------|---|
| SW19   | HSIO_2A_VCCIO | 3, 6 側: HSIO_2A のバンク電圧を 1.3V に設定 |  |

## 2.11. SLVS-EC

本製品の SLVS-EC 回路のボードレイアウトを図 2-23、回路構成を図 2-24、ピンアサインを表 2-15 に示します。

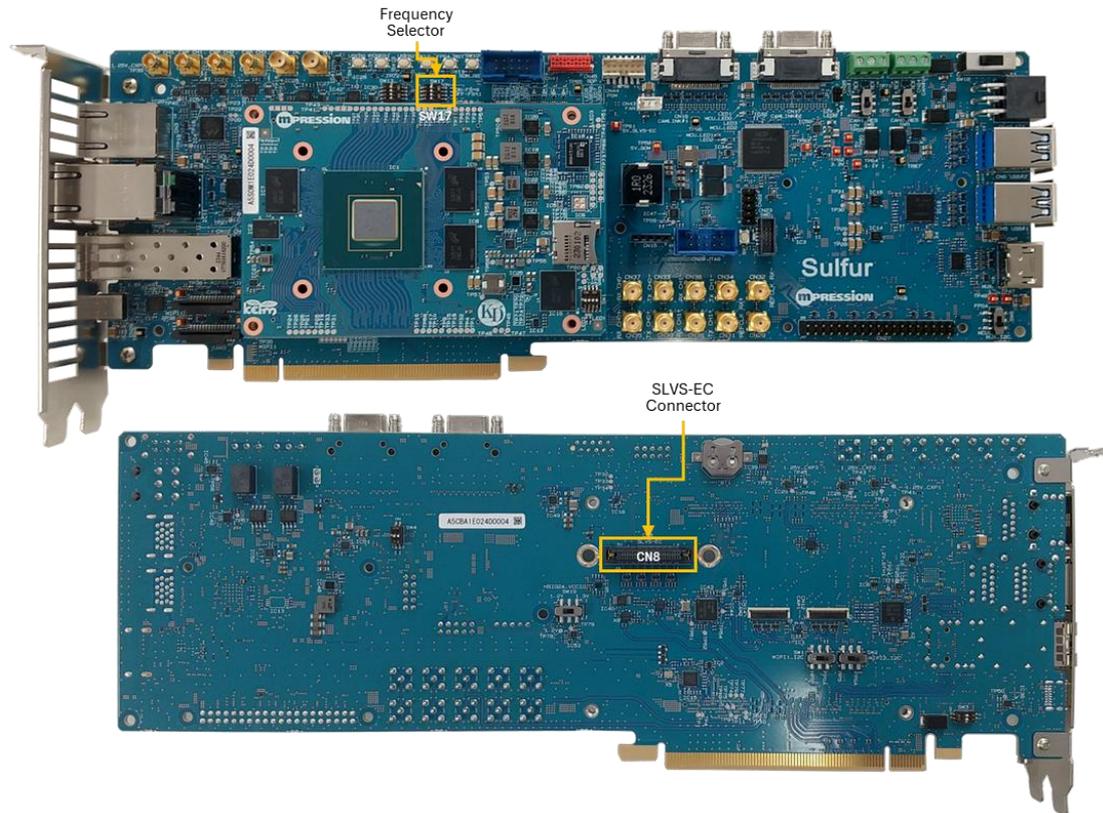


図 2-23 SLVS-EC 関連レイアウト

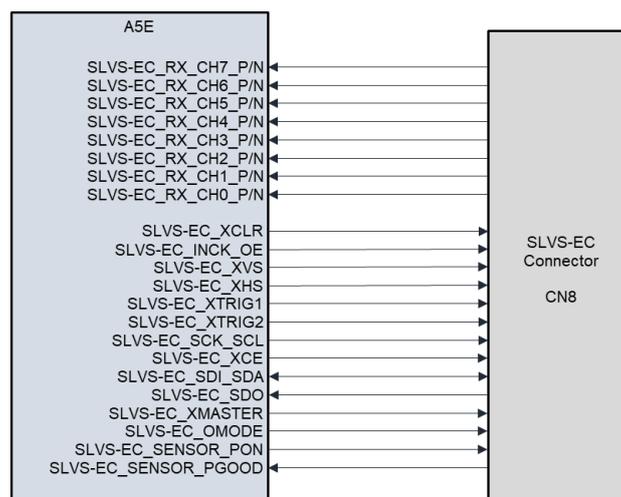


図 2-24 SLVS-EC 回路構成

表 2-15 SLVS-EC 回路ピンアサイン

| 信号名                      | BtoB ピン | SoM ピン名             | A5E ピン | I/O Standard                |
|--------------------------|---------|---------------------|--------|-----------------------------|
| SLVS-EC_XVS_1V8          | CN2.B66 | HVIO_6A_IO17        | BM22   | 1.8-V LVCMOS                |
| SLVS-EC_XTRIG2_1V8       | CN2.A65 | HVIO_6A_IO19        | BK19   | 1.8-V LVCMOS                |
| SLVS-EC_XTRIG1_1V8       | CN2.A66 | HVIO_6A_IO15        | BW19   | 1.8-V LVCMOS                |
| SLVS-EC_XMASTER_1V8      | CN2.B67 | HVIO_6A_IO18        | CF12   | 1.8-V LVCMOS                |
| SLVS-EC_XHS_1V8          | CN2.A68 | HVIO_6A_IO13        | CH12   | 1.8-V LVCMOS                |
| SLVS-EC_XCLR_1V8         | CN2.B70 | HVIO_6A_IO10        | BP22   | 1.8-V LVCMOS                |
| SLVS-EC_XCE_1V8          | CN2.B69 | HVIO_6A_IO20        | CF9    | 1.8-V LVCMOS                |
| SLVS-EC_SENSOR_PON_1V8   | CN2.A72 | HVIO_6A_IO7         | BW28   | 1.8-V LVCMOS                |
| SLVS-EC_SENSOR_PGOOD_1V8 | CN2.B73 | HVIO_6A_IO3         | BR28   | 1.8-V LVCMOS                |
| SLVS-EC_SDO_1V8          | CN2.A69 | HVIO_6A_IO12        | BR22   | 1.8-V LVCMOS                |
| SLVS-EC_SDI_SDA_1V8      | CN2.B72 | HVIO_6A_IO14        | BU22   | 1.8-V LVCMOS                |
| SLVS-EC_SCK_SCL_1V8      | CN2.A71 | HVIO_6A_IO1         | BU28   | 1.8-V LVCMOS                |
| SLVS-EC_RX_CH7_P         | CN2.C34 | GTSR_4C_RX_CH3_P    | AM1    | High Speed Differential I/O |
| SLVS-EC_RX_CH7_N         | CN2.C33 | GTSR_4C_RX_CH3_N    | AM3    | High Speed Differential I/O |
| SLVS-EC_RX_CH6_P         | CN2.A34 | GTSR_4C_RX_CH2_P    | AP1    | High Speed Differential I/O |
| SLVS-EC_RX_CH6_N         | CN2.A33 | GTSR_4C_RX_CH2_N    | AP3    | High Speed Differential I/O |
| SLVS-EC_RX_CH5_P         | CN2.C38 | GTSR_4C_RX_CH1_P    | AT1    | High Speed Differential I/O |
| SLVS-EC_RX_CH5_N         | CN2.C37 | GTSR_4C_RX_CH1_N    | AT3    | High Speed Differential I/O |
| SLVS-EC_RX_CH4_P         | CN2.A38 | GTSR_4C_RX_CH0_P    | AV1    | High Speed Differential I/O |
| SLVS-EC_RX_CH4_N         | CN2.A37 | GTSR_4C_RX_CH0_N    | AV3    | High Speed Differential I/O |
| SLVS-EC_RX_CH3_P         | CN2.D44 | GTSR_4B_RX_CH3_P    | AY1    | High Speed Differential I/O |
| SLVS-EC_RX_CH3_N         | CN2.D43 | GTSR_4B_RX_CH3_N    | AY3    | High Speed Differential I/O |
| SLVS-EC_RX_CH2_P         | CN2.B44 | GTSR_4B_RX_CH2_P    | BB1    | High Speed Differential I/O |
| SLVS-EC_RX_CH2_N         | CN2.B43 | GTSR_4B_RX_CH2_N    | BB3    | High Speed Differential I/O |
| SLVS-EC_RX_CH1_P         | CN2.D48 | GTSR_4B_RX_CH1_P    | BD1    | High Speed Differential I/O |
| SLVS-EC_RX_CH1_N         | CN2.D47 | GTSR_4B_RX_CH1_N    | BD3    | High Speed Differential I/O |
| SLVS-EC_RX_CH0_P         | CN2.B48 | GTSR_4B_RX_CH0_P    | BF1    | High Speed Differential I/O |
| SLVS-EC_RX_CH0_N         | CN2.B47 | GTSR_4B_RX_CH0_N    | BF3    | High Speed Differential I/O |
| SLVS-EC_REFCLK_P         | CN2.B52 | GTSR_4B_REFCLK_RX_P | AY16   | Current Mode Logic (CML)    |
| SLVS-EC_REFCLK_N         | CN2.B51 | GTSR_4B_REFCLK_RX_N | AY21   | Current Mode Logic (CML)    |
| SLVS-EC_OMODE_1V8        | CN2.A74 | HVIO_6A_IO6         | BM28   | 1.8-V LVCMOS                |
| SLVS-EC_INCK_OE_1V8      | CN2.B76 | HVIO_6A_IO11        | BK28   | 1.8-V LVCMOS                |

## 2.11.1. クロック周波数選択スイッチ (SW17)

SLVS-EC のリファレンスクロック (X7) は、スイッチ (SW17) により周波数を切り替えることが可能です。リファレンスクロック周波数選択スイッチの設定を表 2-16 に示します。

表 2-16 クロック周波数選択スイッチ

| リファレンス | 名称    | 説明                    | 参考図   |
|--------|-------|-----------------------|---|
| SW17   | X7 FS | OFF: 148.5MHz (デフォルト) |  |
|        |       | ON: 144MHz            |  |

※SW17 のその他のビットは将来の拡張用です。本製品では未接続となっていて機能しません。

## 2.11.2. SLVS-EC コネクタ (CN8)

コネクタ型式: ERM8-025-05.0-L-DV-L-K-TR (Samtec)

表 2-17 SLVS-EC コネクタピンアサイン

| Pin No. | 信号名              | Pin No. | 信号名                      |
|---------|------------------|---------|--------------------------|
| 1       | GND              | 2       | -                        |
| 3       | SLVS-EC_RX_CH0_P | 4       | -                        |
| 5       | SLVS-EC_RX_CH0_N | 6       | SLVS-EC_XCLR_1V8         |
| 7       | GND              | 8       | SLVS-EC_INCK_OE_1V8      |
| 9       | SLVS-EC_RX_CH1_P | 10      | SLVS-EC_XVS_1V8          |
| 11      | SLVS-EC_RX_CH1_N | 12      | SLVS-EC_XHS_1V8          |
| 13      | GND              | 14      | SLVS-EC_XTRIG1_1V8       |
| 15      | SLVS-EC_RX_CH2_P | 16      | SLVS-EC_XTRIG2_1V8       |
| 17      | SLVS-EC_RX_CH2_N | 18      | SLVS-EC_SCK_SCL_1V8      |
| 19      | GND              | 20      | SLVS-EC_XCE_1V8          |
| 21      | SLVS-EC_RX_CH3_P | 22      | SLVS-EC_SDI_SDA_1V8      |
| 23      | SLVS-EC_RX_CH3_N | 24      | SLVS-EC_SDO_1V8          |
| 25      | GND              | 26      | SLVS-EC_XMASTER_1V8      |
| 27      | SLVS-EC_RX_CH4_P | 28      | pull-down                |
| 29      | SLVS-EC_RX_CH4_N | 30      | pull-down                |
| 31      | GND              | 32      | pull-down                |
| 33      | SLVS-EC_RX_CH5_P | 34      | SLVS-EC_OMODE_1V8        |
| 35      | SLVS-EC_RX_CH5_N | 36      | -                        |
| 37      | GND              | 38      | -                        |
| 39      | SLVS-EC_RX_CH6_P | 40      | -                        |
| 41      | SLVS-EC_RX_CH6_N | 42      | SLVS-EC_SENSOR_PON_5V0   |
| 43      | GND              | 44      | SLVS-EC_SENSOR_PGOOD_1V8 |
| 45      | SLVS-EC_RX_CH7_P | 46      | 5V_SLVS-EC               |
| 47      | SLVS-EC_RX_CH7_N | 48      | 5V_SLVS-EC               |
| 49      | GND              | 50      | 5V_SLVS-EC               |

## 2.12. CoaXPress

本製品の CoaXPress コネクタのボードレイアウトを図 2-25、回路構成を図 2-26、ピンアサインを表 2-18 に示します。



図 2-25 CoaXPress コネクタレイアウト

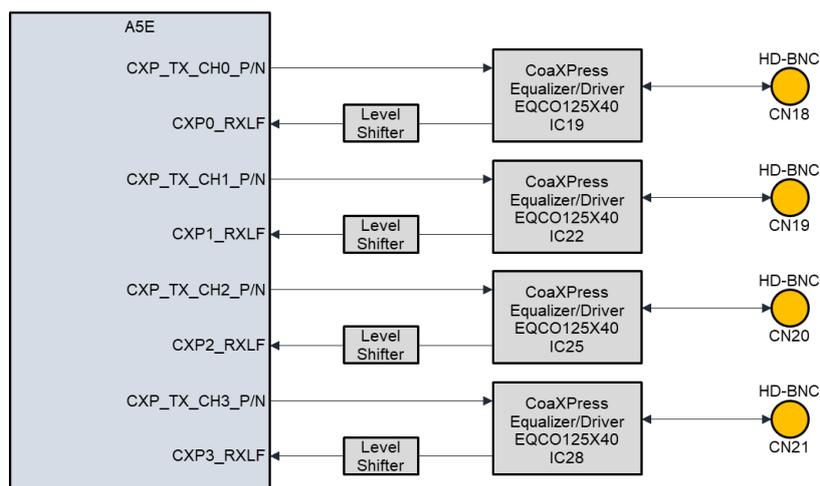


図 2-26 CoaXPress 回路構成

表 2-18 CoaXPress 回路ピンアサイン

| 信号名          | BtoB ピン | SoM ピン名              | A5E ピン | I/O Standard                |
|--------------|---------|----------------------|--------|-----------------------------|
| CXP_TX_CH2_N | CN2.B55 | GTSR_4A_TX_CH2_N     | BL10   | High Speed Differential I/O |
| CXP_TX_CH2_P | CN2.B56 | GTSR_4A_TX_CH2_P     | BL7    | High Speed Differential I/O |
| CXP_TX_CH0_N | CN2.B59 | GTSR_4A_TX_CH0_N     | BY10   | High Speed Differential I/O |
| CXP_TX_CH0_P | CN2.B60 | GTSR_4A_TX_CH0_P     | BY7    | High Speed Differential I/O |
| CXP_REFCLK_N | CN2.C61 | GTSR_4A_REFCLK_CH1_N | BB21   | Current Mode Logic (CML)    |
| CXP_REFCLK_P | CN2.C62 | GTSR_4A_REFCLK_CH1_P | BB16   | Current Mode Logic (CML)    |
| CXP_TX_CH3_N | CN2.D55 | GTSR_4A_TX_CH3_N     | BG10   | High Speed Differential I/O |
| CXP_TX_CH3_P | CN2.D56 | GTSR_4A_TX_CH3_P     | BG7    | High Speed Differential I/O |
| CXP_TX_CH1_N | CN2.D59 | GTSR_4A_TX_CH1_N     | BT10   | High Speed Differential I/O |
| CXP_TX_CH1_P | CN2.D60 | GTSR_4A_TX_CH1_P     | BT7    | High Speed Differential I/O |

| 信号名          | BtoB ピン | SoM ピン名     | A5E ピン | I/O Standard |
|--------------|---------|-------------|--------|--------------|
| CXP3_LF_DATA | CN2.C66 | HVIO_6B_IO4 | BF40   | 1.8-V LVCMOS |
| CXP1_LF_DATA | CN2.D67 | HVIO_6B_IO5 | BE29   | 1.8-V LVCMOS |
| CXP2_LF_DATA | CN2.C65 | HVIO_6B_IO8 | BF36   | 1.8-V LVCMOS |
| CXP0_LF_DATA | CN2.C68 | HVIO_6B_IO9 | BF29   | 1.8-V LVCMOS |

### 2.13. PCIe

本製品の PCIe 回路のボードレイアウトを図 2-27、回路構成を図 2-28、ピンアサインを表 2-19 に示します。

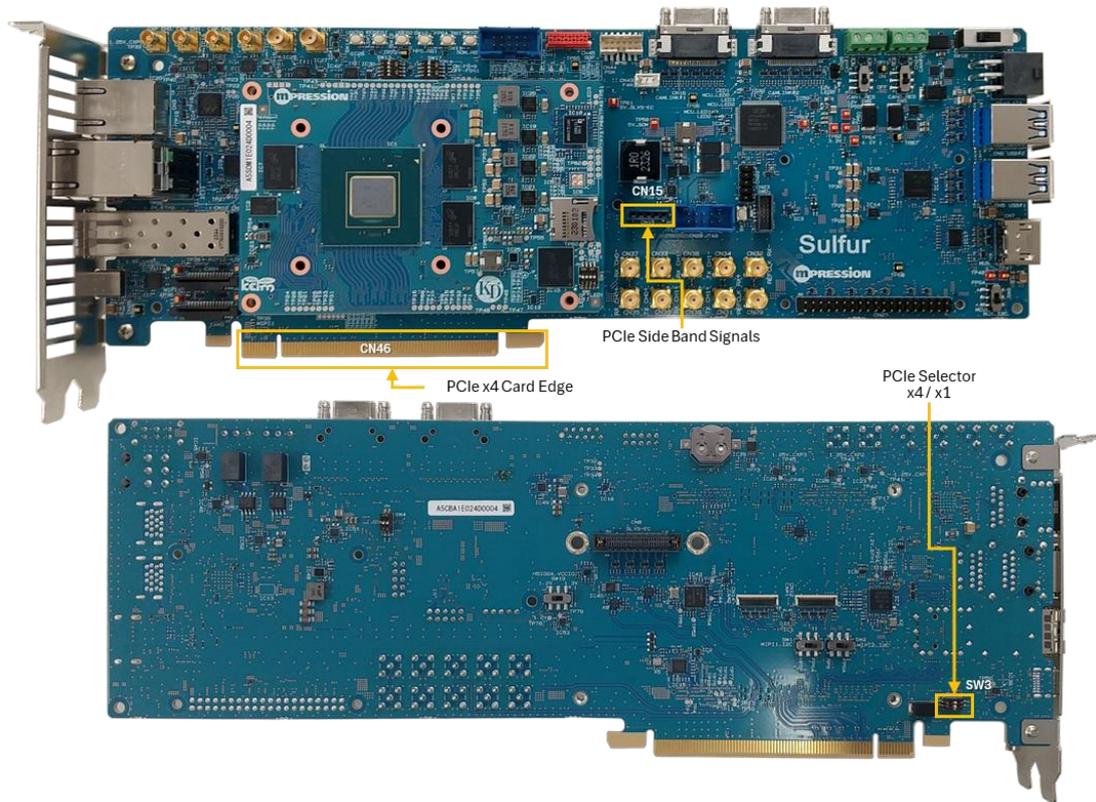


図 2-27 PCIe 関連レイアウト

※本製品の対応する PCIe リンク幅は x4 までですが、PCIe カードエッジの物理形状は x16 となっています。そのため PCIe を評価する際は、x16 対応スロットを搭載したホストボードをご使用ください。

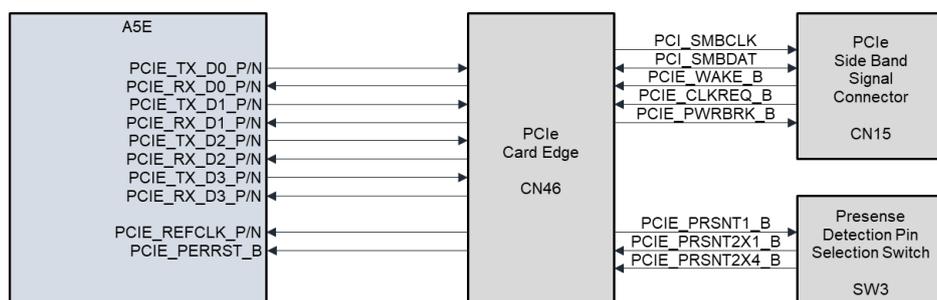


図 2-28 PCIe 回路構成

表 2-19 PCIe 回路ピンアサイン

| 信号名           | BtoB ピン | SoM ピン名              | A5E ピン | I/O Standard                |
|---------------|---------|----------------------|--------|-----------------------------|
| PCIE_TX_D3_P  | CN1.A54 | GTSL_1A_TX_CH3_P     | BG129  | High Speed Differential I/O |
| PCIE_TX_D3_N  | CN1.A53 | GTSL_1A_TX_CH3_N     | BG126  | High Speed Differential I/O |
| PCIE_TX_D2_P  | CN1.C54 | GTSL_1A_TX_CH2_P     | BL129  | High Speed Differential I/O |
| PCIE_TX_D2_N  | CN1.C53 | GTSL_1A_TX_CH2_N     | BL126  | High Speed Differential I/O |
| PCIE_TX_D1_P  | CN1.A58 | GTSL_1A_TX_CH1_P     | BT129  | High Speed Differential I/O |
| PCIE_TX_D1_N  | CN1.A57 | GTSL_1A_TX_CH1_N     | BT126  | High Speed Differential I/O |
| PCIE_TX_D0_P  | CN1.C58 | GTSL_1A_TX_CH0_P     | BY129  | High Speed Differential I/O |
| PCIE_TX_D0_N  | CN1.C57 | GTSL_1A_TX_CH0_N     | BY126  | High Speed Differential I/O |
| PCIE_RX_D3_P  | CN1.B56 | GTSL_1A_RX_CH3_P     | BF135  | High Speed Differential I/O |
| PCIE_RX_D3_N  | CN1.B55 | GTSL_1A_RX_CH3_N     | BF133  | High Speed Differential I/O |
| PCIE_RX_D2_P  | CN1.D56 | GTSL_1A_RX_CH2_P     | BJ135  | High Speed Differential I/O |
| PCIE_RX_D2_N  | CN1.D55 | GTSL_1A_RX_CH2_N     | BJ133  | High Speed Differential I/O |
| PCIE_RX_D1_P  | CN1.B60 | GTSL_1A_RX_CH1_P     | BN135  | High Speed Differential I/O |
| PCIE_RX_D1_N  | CN1.B59 | GTSL_1A_RX_CH1_N     | BN133  | High Speed Differential I/O |
| PCIE_RX_D0_P  | CN1.D60 | GTSL_1A_RX_CH0_P     | BV135  | High Speed Differential I/O |
| PCIE_RX_D0_N  | CN1.D59 | GTSL_1A_RX_CH0_N     | BV133  | High Speed Differential I/O |
| PCIE_REFCLK_P | CN1.A62 | GTSL_1A_REFCLK_CH1_P | BB120  | Current Mode Logic (CML)    |
| PCIE_REFCLK_N | CN1.A61 | GTSL_1A_REFCLK_CH1_N | BB115  | Current Mode Logic (CML)    |
| PCIE_PERST_B  | CN2.C92 | HVIO_5B_IO5          | BF107  | 3.3-V LVC MOS               |

## 2.13.1. PCIe サイドバンド信号コネクタ (CN15)

PCIe サイドバンド信号の入出力用のコネクタです。必要に応じて 40 ピンコネクタとリード線で接続して使用してください。

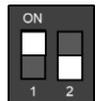
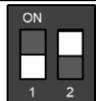
表 2-20 PCIe サイドバンド信号用コネクタピンアサイン

| Pin No. | 信号名           | 説明                                    |
|---------|---------------|---------------------------------------|
| 1       | PCIE_SMBCLK   | SMBus interface clock signal          |
| 2       | PCIE_SMDAT    | SMBus interface address / data signal |
| 3       | PCIE_WAKE_B   | PCIe WAKE# signal                     |
| 4       | PCIE_CLKREQ_B | PCIe CLKREQ# signal                   |
| 5       | PCIE_PWRBRK_B | PCIe PWRBRK# signal                   |

## 2.13.2. PCIe カード PRSNT2#信号選択 (SW3)

PCIe カード存在検出機能のための PRSNT1#信号へ接続する PRSNT2#信号を選択します。

表 2-21 PCIe カード PRSNT2#選択スイッチ

| リファレンス | 名称         | 説明   | 参考図   |
|--------|------------|--|---|
| SW3.1  | PRSNT2X1_B | SW3.2 を OFF にした状態で、本スイッチを ON にすると x1 側 PRSNT2#を PRSNT1#へ接続         |  |
| SW3.2  | PRSNT2X4_B | SW3.1 を OFF にした状態で、本スイッチを ON にすると x4 側 PRSNT2#を PRSNT1#へ接続 (デフォルト) |  |

※本設定はデフォルトのままをご使用ください。

## 2.14. CAN

本製品の CAN 回路のボードレイアウトを図 2-29、回路構成を図 2-30、ピンアサインを表 2-22 に示します。本製品では、CAN のプロトコルスタックを実装した MCU を搭載し、FPGA との通信は SPI で行います。

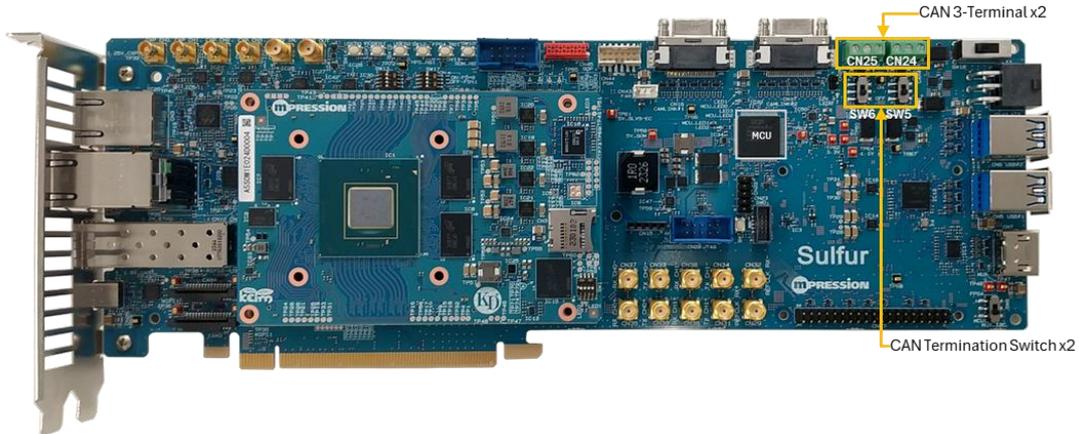


図 2-29 CAN 関連レイアウト

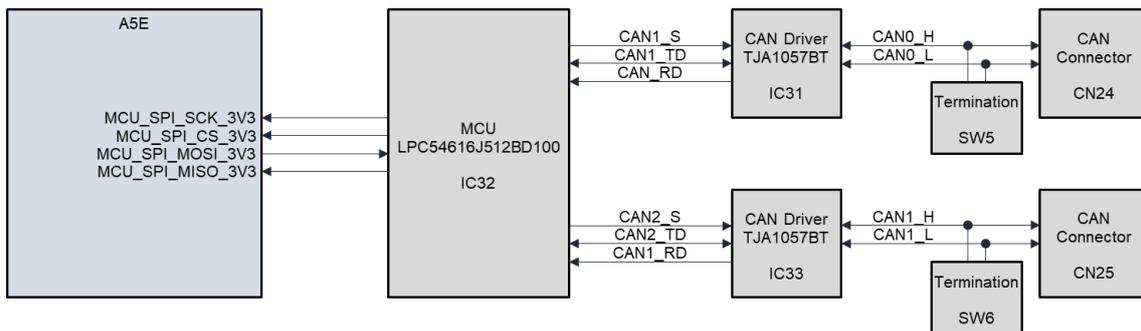


図 2-30 CAN 回路構成

表 2-22 CAN 回路ピンアサイン

| 信号名              | BtoB ピン | SoM ピン名      | A5E ピン | I/O Standard |
|------------------|---------|--------------|--------|--------------|
| MCU_SPI_MOSI_3V3 | CN2.A93 | HVIO_5A_IO18 | CL130  | 3.3-V LVCMOS |
| MCU_SPI_CS_3V3   | CN2.A95 | HVIO_5A_IO5  | CH132  | 3.3-V LVCMOS |
| MCU_SPI_SCK_3V3  | CN2.B93 | HVIO_5A_IO8  | CK134  | 3.3-V LVCMOS |
| MCU_SPI_MISO_3V3 | CN2.B96 | HVIO_5A_IO6  | CF132  | 3.3-V LVCMOS |

## 2.14.1. CAN コネクタ (CN24, CN25)

コネクタ型式: 691214310003 (WE)

コネクタ仕様: 3 端子ブロック, ネジ固定

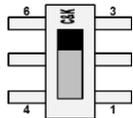
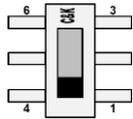
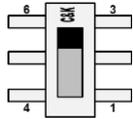
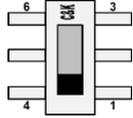
適合線: AWG24~AWG16

表 2-23 CAN コネクタピンアサイン

| Pin No. | 信号名   | 説明          |
|---------|-------|-------------|
| 1       | CAN_H | CAN_H バスライン |
| 2       | CAN_L | CAN_L バスライン |
| 3       | GND   | グラウンド       |

## 2.14.2. CAN 終端設定スイッチ (SW5, SW6)

表 2-24 CAN 終端設定スイッチ

| リファレンス | 名称        | 説明                     | 参考図   |
|--------|-----------|------------------------|---|
| SW5    | CAN1 終端設定 | 3, 6 側: 終端を ON (デフォルト) |    |
|        |           | 1, 4 側: 終端を OFF        |   |
| SW6    | CAN2 終端設定 | 3, 6 側: 終端を ON (デフォルト) |  |
|        |           | 1, 4 側: 終端を OFF        |  |

## 2.15. MCU

本製品の MCU 周辺回路のボードレイアウトを図 2-31 に示します。

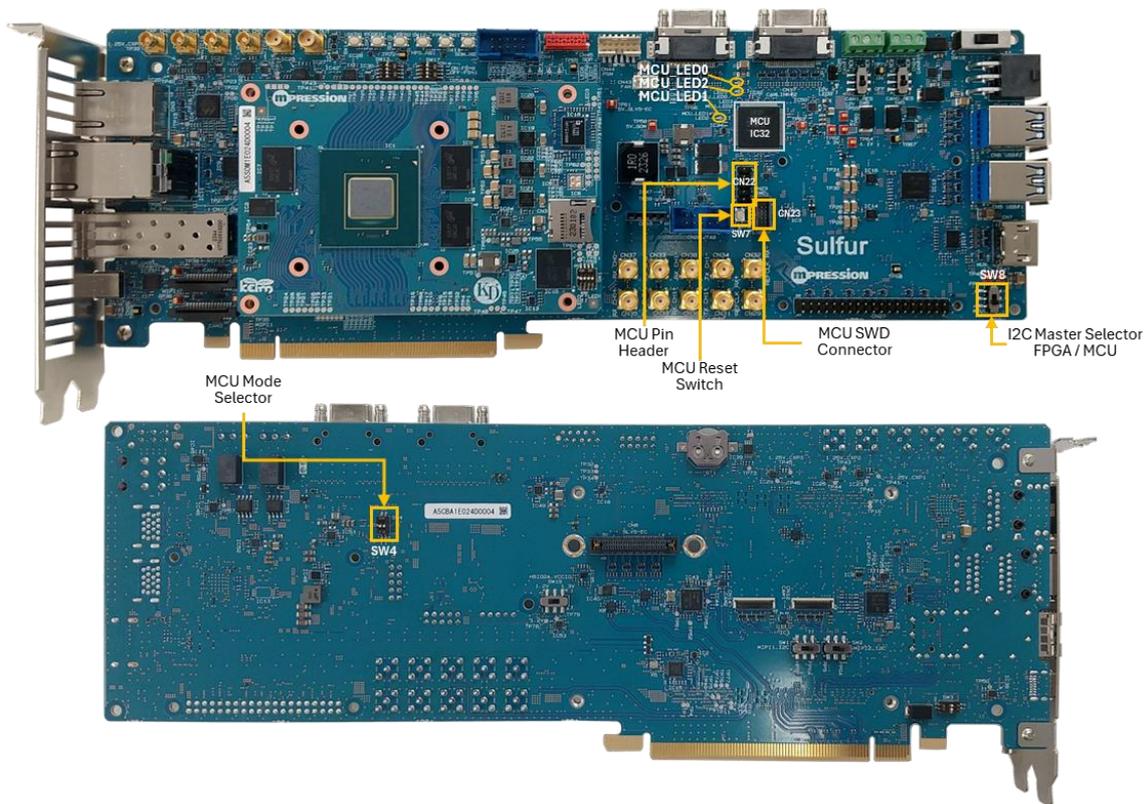


図 2-31 MCU 周辺レイアウト

### 2.15.1. MCU ステータス LED

表 2-25 MCU ステータス LED

| リファレンス | 名称       | 説明   |
|--------|----------|--|
| LED1   | MCU_LED0 | FPGA ステータス信号モニタ 1<br>点灯: CONF_DONE=High<br>消灯: CONF_DONE=Low   |
| LED2   | MCU_LED1 | MCU 動作ステータス (Heart Beat)<br>点滅: プログラム実行中<br>点灯 or 消灯: プログラム停止中 |
| LED3   | MCU_LED2 | FPGA ステータス信号モニタ 2<br>点灯: INIT_DONE=High<br>消灯: INIT_DONE=Low   |

### 2.15.2. SWD コネクタ (CN23)

SWD コネクタは、本製品に搭載されている MCU の評価や検証に使用することが可能です。機能を使用するためには、MCU-Link Debug Probe を SWD コネクタに接続し、ソフトウェアツールは MCUXpresso を使用します。

MCU-Link Debug Probe と MCUXpresso の詳細情報については下記を参照ください。

MCU-Link Debug Probe

<https://www.nxp.jp/design/design-center/software/development-software/mcuxpresso-software-and-tools-/mcu-link-debug-probe:MCU-LINK>

MCUXpresso

<https://www.nxp.jp/design/design-center/software/development-software/mcuxpresso-software-and-tools-:MCUXPRESSO>

### 2.15.3. MCU モードスイッチ (SW4)

表 2-26 MCU モードスイッチ

| リファレンス | 名称           | 説明                                       |
|--------|--------------|--|
| SW4.1  | MCU_ISP0     | ON: ISP 有効、Flash 書き込み時に設定                |
|        |              | OFF: ISP 無効、内蔵 Flash からブート (デフォルト)       |
| SW4.2  | MCU_GPIO0_17 | ON: ユーザー用スイッチ、GPIO0_17 を Low に設定 (デフォルト) |
|        |              | OFF: ユーザー用スイッチ、GPIO0_17 を High に設定       |

### 2.15.4. MCU ピンハッダ (CN22)

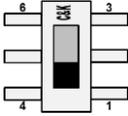
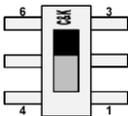
MCU の評価や検証時に使用できるピンハッダです。サンプルプロジェクトでは Pin 3,4 はシリアルターミナル接続用として使用し、Pin5~10 の ADC と GPIO は未使用の予約ピンとなっています。

表 2-27 MCU ピンハッダピンアサイン

| Pin No. | 信号名              | 説明               |
|---------|------------------|------------------|
| 1       | 3.3V             | 3.3V 電源          |
| 2       | GND              | グランド             |
| 3       | MCU_UART_TXD_3V3 | MCU の UART 送信データ |
| 4       | MCU_UART_RXD_3V3 | MCU の UART 受信データ |
| 5       | MCU_ADC0_4       | MCU の ADC0_4     |
| 6       | MCU_GPIO1_21_3V3 | MCU の GPIO1_21   |
| 7       | MCU_ADC0_5       | MCU の ADC0_5     |
| 8       | MCU_GPIO1_28_3V3 | MCU の GPIO1_28   |
| 9       | MCU_ADC0_6       | MCU の ADC0_6     |
| 10      | MCU_GPIO1_29_3V3 | MCU の GPIO1_29   |

## 2.15.5. MCU I2C マスタ選択スイッチ (SW8)

表 2-28 MCU I2C マスタ選択スイッチ

| リファレンス | 名称            | 設定モード                              | 参考図   |
|--------|---------------|------------------------------------|---|
| SW8    | MCU I2C マスタ選択 | 1, 4 側: I2C マスタを MCU 側に設定          |  |
|        |               | 3, 6 側: I2C マスタを FPGA 側に設定 (デフォルト) |  |

## 2.16. USB-UART

本製品の USB-UART コネクタのボードレイアウトを図 2-32 USB-UART コネクタレイアウト、回路構成を図 2-33、ピンアサインを表 2-29 に示します。

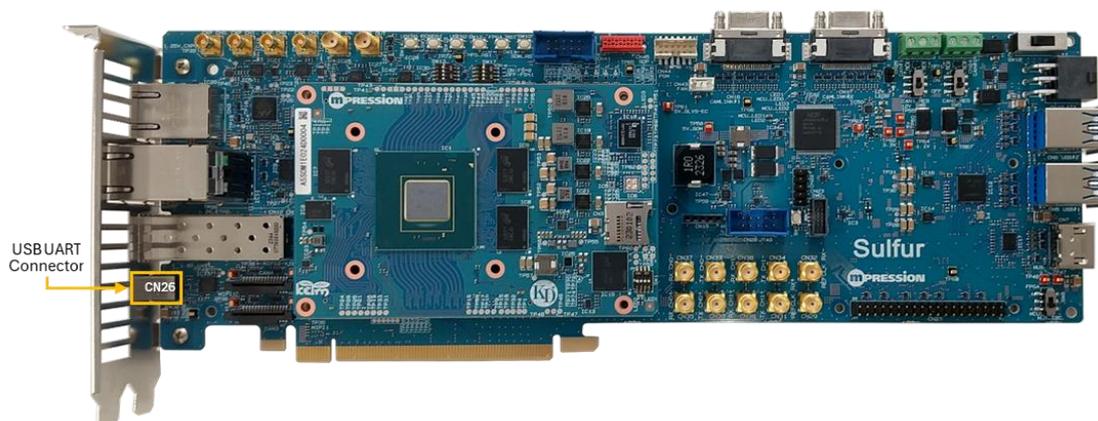


図 2-32 USB-UART コネクタレイアウト

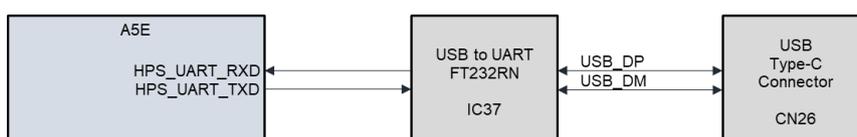


図 2-33 USB-UART 回路構成

表 2-29 USB-UART 回路ピンアサイン

| 信号名          | BtoB ピン | SoM ピン名      | A5E ピン | I/O Standard |
|--------------|---------|--------------|--------|--------------|
| HPS_UART_TXD | CN1.A17 | HPS_UART_TXD | W134   | 1.8-V LVCMOS |
| HPS_UART_RXD | CN1.A18 | HPS_UART_RXD | AK115  | 1.8-V LVCMOS |

## 2.17. SMA コネクタ

本製品の SMA コネクタのボードレイアウトを図 2-34 SMA コネクタレイアウト、回路構成を図 2-35、ピンアサインを表 2-30 に示します。

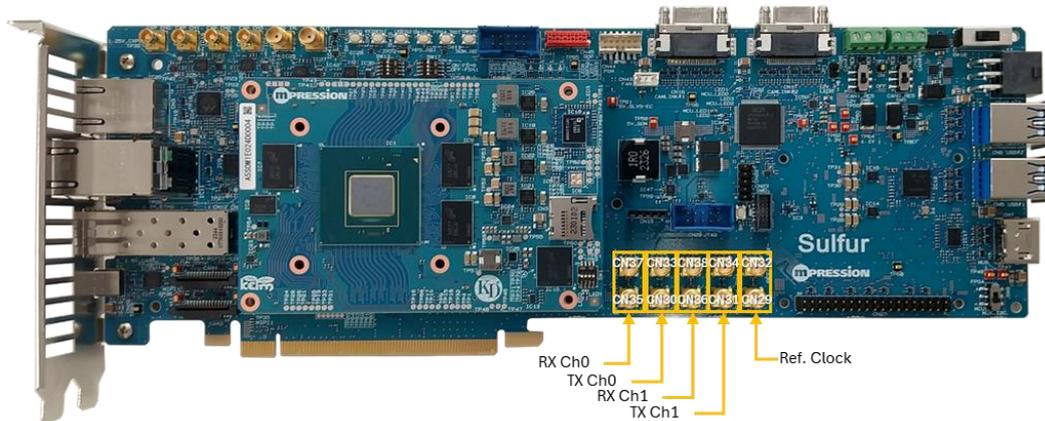


図 2-34 SMA コネクタレイアウト



図 2-35 SMA 入出力回路構成

表 2-30 SMA 入出力回路ピンアサイン

| 信号名             | BtoB ピン | SoM ピン名             | A5E ピン | I/O Standard                |
|-----------------|---------|---------------------|--------|-----------------------------|
| SMA_TX_CH1_N    | CN1.A37 | GTSL_1C_TX_CH1_N    | AR126  | High Speed Differential I/O |
| SMA_TX_CH1_P    | CN1.A38 | GTSL_1C_TX_CH1_P    | AR129  | High Speed Differential I/O |
| SMA_RX_CH1_N    | CN1.B39 | GTSL_1C_RX_CH1_N    | AP133  | High Speed Differential I/O |
| SMA_RX_CH1_P    | CN1.B40 | GTSL_1C_RX_CH1_P    | AP135  | High Speed Differential I/O |
| SMA_TX_CH0_N    | CN1.C37 | GTSL_1C_TX_CH0_N    | AU126  | High Speed Differential I/O |
| SMA_TX_CH0_P    | CN1.C38 | GTSL_1C_TX_CH0_P    | AU129  | High Speed Differential I/O |
| SMA_RX_CH0_N    | CN1.D39 | GTSL_1C_RX_CH0_N    | AT133  | High Speed Differential I/O |
| SMA_RX_CH0_P    | CN1.D40 | GTSL_1C_RX_CH0_P    | AT135  | High Speed Differential I/O |
| SMA_REFCLK_RX_N | CN1.D51 | GTSL_1B_REFCLK_RX_N | AY115  | Current Mode Logic (CML)    |
| SMA_REFCLK_RX_P | CN1.D52 | GTSL_1B_REFCLK_RX_P | AY120  | Current Mode Logic (CML)    |

## 2.18. I2C 回路

本製品の I2C 回路の構成を図 2-36、ピンアサインを表 2-31 に示します。

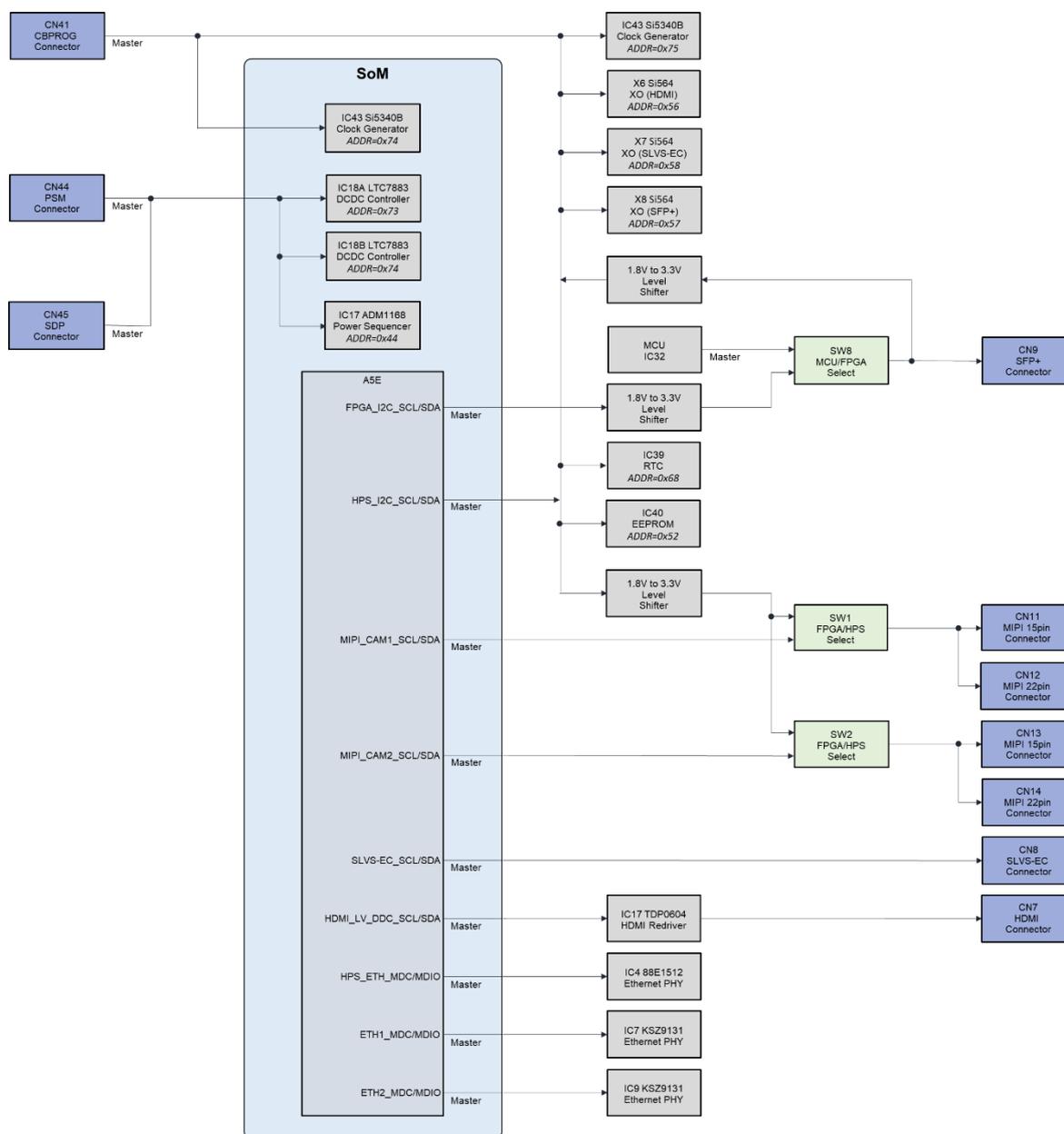


図 2-36 I2C 回路構成

表 2-31 I2C 回路ピンアサイン

| 信号名                 | BtoB ピン | SoM ピン名         | A5E ピン | I/O Standard |
|---------------------|---------|-----------------|--------|--------------|
| SLVS-EC_SDI_SDA_1V8 | CN2.B72 | HVIO_6A_IO14    | BU22   | 1.8-V LVCMOS |
| SLVS-EC_SCK_SCL_1V8 | CN2.A71 | HVIO_6A_IO1     | BU28   | 1.8-V LVCMOS |
| MIPI_CAM2_SDA_3V3   | CN2.B81 | HVIO_5A_IO13    | BU118  | 3.3-V LVCMOS |
| MIPI_CAM2_SCL_3V3   | CN2.B82 | HVIO_5A_IO14    | BR118  | 3.3-V LVCMOS |
| MIPI_CAM1_SDA_3V3   | CN2.A83 | HVIO_5A_IO7     | CF128  | 3.3-V LVCMOS |
| MIPI_CAM1_SCL_3V3   | CN2.B84 | HVIO_5A_IO11    | CF121  | 3.3-V LVCMOS |
| HPS_I2C_SDA_1V8     | CN1.C18 | HPS_I2C_SDA_1V8 | N135   | 1.8 V        |

| 信号名                 | BtoB ピン | SoM ピン名         | A5E ピン | I/O Standard |
|---------------------|---------|-----------------|--------|--------------|
| HPS_I2C_SCL_1V8     | CN1.C17 | HPS_I2C_SCL_1V8 | AK120  | 1.8 V        |
| HPS_ETH_MDIO        | CN1.D16 | HPS_ETH_MDIO    | R134   | 1.8 V        |
| HPS_ETH_MDC         | CN1.D17 | HPS_ETH_MDC     | AG115  | 1.8 V        |
| HDMI_LV_DDC_SDA_3V3 | CN2.A96 | HVIO_5A_IO17    | CL128  | 3.3-V LVCMOS |
| HDMI_LV_DDC_SCL_3V3 | CN2.B97 | HVIO_5A_IO20    | CK128  | 3.3-V LVCMOS |
| FPGA_I2C_SDA_1V8    | CN2.A77 | HVIO_6A_IO5     | BU31   | 1.8-V LVCMOS |
| FPGA_I2C_SCL_1V8    | CN2.A78 | HVIO_6A_IO8     | BM31   | 1.8-V LVCMOS |
| ETH2_MDIO           | CN2.C26 | HVIO_6C_IO12    | H8     | 1.8-V LVCMOS |
| ETH2_MDC            | CN2.C27 | HVIO_6C_IO10    | K8     | 1.8-V LVCMOS |
| ETH1_MDIO           | CN2.A14 | HVIO_6D_IO18    | B35    | 1.8-V LVCMOS |
| ETH1_MDC            | CN2.B20 | HVIO_6D_IO12    | B26    | 1.8-V LVCMOS |

## 2.19. デバッグインターフェース

本製品にはボードに搭載されているデバイスの評価や検証をするための各種デバッグ用のコネクタが搭載されています。デバッグ I/F コネクタのボードレイアウトを図 2-37 に示します。

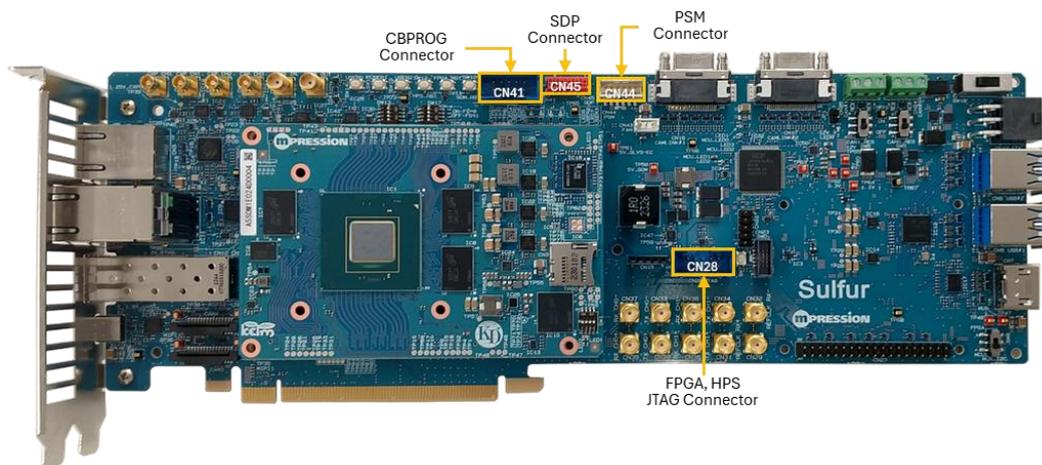


図 2-37 デバッグ I/F レイアウト

### 2.19.1. JTAG コネクタ (CN28)

JTAG コネクタは、本製品の SoM に搭載されている FPGA の評価や検証に使用することが可能です。機能を使用するためには、インテル® ダウンロード・ケーブル II を JTAG コネクタへ接続します。本製品の JTAG 回路の構成を図 2-38 に示します。

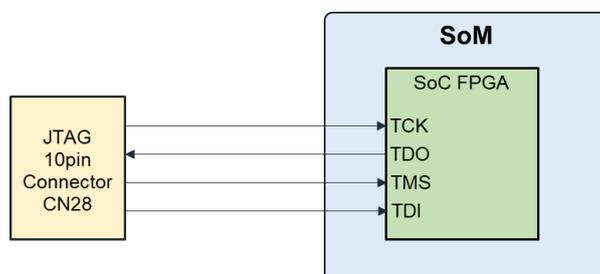


図 2-38 JTAG 回路構成

インテル® ダウンロード・ケーブル II の詳細情報については下記を参照ください。

- インテル® ダウンロード・ケーブル II

<https://www.intel.co.jp/content/www/jp/ja/products/sku/215664/intel-fpga-download-cable-ii/specifications.html>

### 2.19.2. CBPROG コネクタ (CN41)

CBPROG コネクタは、本製品に搭載されているクロックジェネレータ Si5340B (Skyworks) の周波数等の設定変更に使用することが可能です。機能を使用するためには、CBPROG コネクタに CBPROG-DONGLE を接続し、ソフトウェアツールは ClockBuilder Pro Software を使用します。

CBPROG-DONGLE と ClockBuilder Pro Software の詳細情報については下記を参照ください。

- CBPROG-DONGLE  
<https://www.skyworksinc.com/ja-jp/products/timing/evaluation%20kits/general/clockbuilder-pro-fied-programmer/>
- ClockBuilder Pro Software (CBPro)  
<https://www.skyworksinc.com/en/Application-Pages/Clockbuilder-Pro-Software>

### 2.19.3. PSM コネクタ (CN44)

PSM コネクタは、本製品の SoM に搭載されているパワーコントローラ LTC7883 (ADI) から各電源系の電圧や電流のモニタに使用することが可能です。機能を使用するためには、PSM コネクタに DC1613A を接続し、ソフトウェアツールは LTpowerPlay®を使用します。

DC1613A と LTpowerPlay®の詳細情報は下記を参照ください。

- DC1613A  
<https://www.analog.com/jp/resources/evaluation-hardware-and-software/evaluation-boards-kits/dc1613a.html>
- LTpowerPlay®  
<https://www.analog.com/jp/lp/ltpower-play.html>

#### 2.19.4. SDP コネクタ (CN45)

SDP コネクタは、本製品の SoM に搭載されているパワーシーケンサ ADM1168 (ADI) から電源やリセットのシーケンスを設定することが可能です。機能を使用するためには、SDP コネクタに USB-SDP-CABLEZ を接続し、ソフトウェアツールは SuperSequncer evaluation software を使用します。

USB-SDP-CABLEZ と SuperSequncer evaluation software の詳細情報は下記を参照ください。

- USB-SDP-CABLEZ  
[https://www.analog.com/jp/resources/evaluation-hardware-and-software/evaluation-boards-kits/eval\\_usb-sdp-cablez.html](https://www.analog.com/jp/resources/evaluation-hardware-and-software/evaluation-boards-kits/eval_usb-sdp-cablez.html)
- SuperSequncer evaluation software  
<https://www.analog.com/jp/resources/evaluation-hardware-and-software/evaluation-boards-kits/eval-adm1168.html#eb-overview>

## 2.20. ユーザーインターフェース

本製品のユーザーインターフェースのボードレイアウトを図 2-39、回路構成を図 2-40、ピンアサインを表 2-32 に示します。

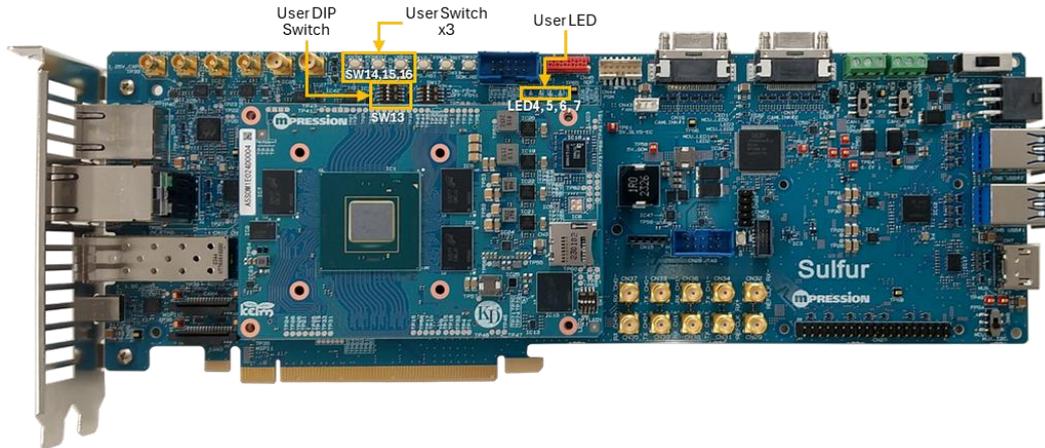


図 2-39 ユーザーインターフェースレイアウト

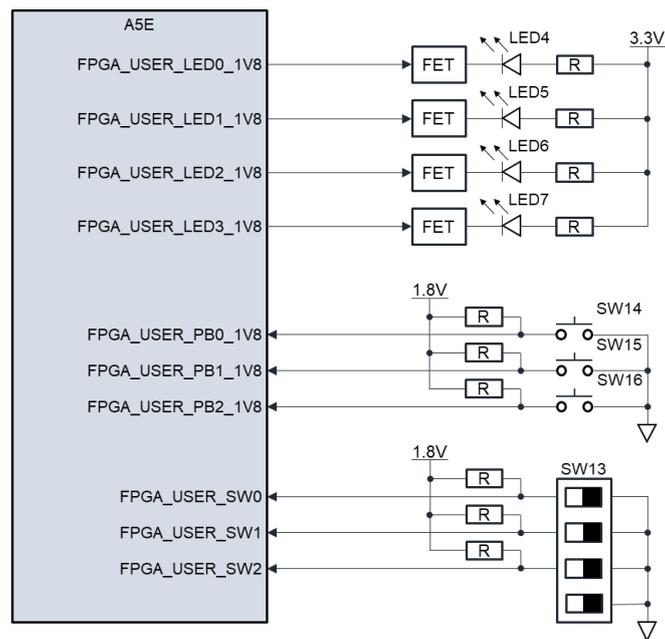


図 2-40 ユーザーインターフェース回路構成

表 2-32 ユーザーインターフェースピンアサイン

| 信号名                | BtoB ピン | SoM ピン名      | A5E ピン | I/O Standard |
|--------------------|---------|--------------|--------|--------------|
| FPGA_USER_LED0_1V8 | CN2.D16 | HVIO_6C_IO4  | D24    | 1.8-V LVCMOS |
| FPGA_USER_LED1_1V8 | CN2.C14 | HVIO_6C_IO2  | F24    | 1.8-V LVCMOS |
| FPGA_USER_LED2_1V8 | CN2.D13 | HVIO_6C_IO3  | H27    | 1.8-V LVCMOS |
| FPGA_USER_LED3_1V8 | CN2.D14 | HVIO_6C_IO1  | F27    | 1.8-V LVCMOS |
| FPGA_USER_PB0_1V8  | CN2.B78 | HVIO_6A_IO4  | BR31   | 1.8-V LVCMOS |
| FPGA_USER_PB1_1V8  | CN2.A75 | HVIO_6A_IO2  | BP31   | 1.8-V LVCMOS |
| FPGA_USER_PB2_1V8  | CN2.B75 | HVIO_6A_IO16 | BH28   | 1.8-V LVCMOS |
| FPGA_USER_SW0      | CN2.A27 | HVIO_6D_IO2  | B4     | 1.8-V LVCMOS |
| FPGA_USER_SW1      | CN2.A26 | HVIO_6D_IO1  | A8     | 1.8-V LVCMOS |
| FPGA_USER_SW2      | CN2.B25 | HVIO_6D_IO3  | A11    | 1.8-V LVCMOS |

## 2.20.1. ユーザーLED

表 2-33 ユーザーLED 表示仕様

| リファレンス | 名称             | 説明   |
|--------|----------------|--|
| LED4   | FPGA_USER_LED0 | 端子を Low (論理 0) にすると消灯、端子を High (論理 1) にすると点灯 |
| LED5   | FPGA_USER_LED1 | 端子を Low (論理 0) にすると消灯、端子を High (論理 1) にすると点灯 |
| LED6   | FPGA_USER_LED2 | 端子を Low (論理 0) にすると消灯、端子を High (論理 1) にすると点灯 |
| LED7   | FPGA_USER_LED3 | 端子を Low (論理 0) にすると消灯、端子を High (論理 1) にすると点灯 |

## 2.20.2. ユーザープッシュスイッチ

表 2-34 ユーザープッシュスイッチ設定仕様

| リファレンス | 名称            | 説明                                      |
|--------|---------------|---|
| SW14   | FPGA_USER_PB0 | スイッチを押下すると Low (論理 0)、それ以外は High (論理 1) |
| SW15   | FPGA_USER_PB1 | スイッチを押下すると Low (論理 0)、それ以外は High (論理 1) |
| SW16   | FPGA_USER_PB2 | スイッチを押下すると Low (論理 0)、それ以外は High (論理 1) |

## 2.20.3. ユーザーディップスイッチ

表 2-35 ユーザーディップスイッチ設定仕様

| リファレンス | 名称            | 説明  |
|--------|---------------|---|
| SW13.1 | FPGA_USER_SW0 | スイッチを ON にすると Low (論理 0)、OFF にすると High (論理 1) |
| SW13.2 | FPGA_USER_SW1 | スイッチを ON にすると Low (論理 0)、OFF にすると High (論理 1) |
| SW13.3 | FPGA_USER_SW2 | スイッチを ON にすると Low (論理 0)、OFF にすると High (論理 1) |

## 2.21. 40ピンヘッド (CN27)

本製品の40ピンヘッドのボードレイアウトを図 2-41、ピンアサインを表 2-36 に示します。

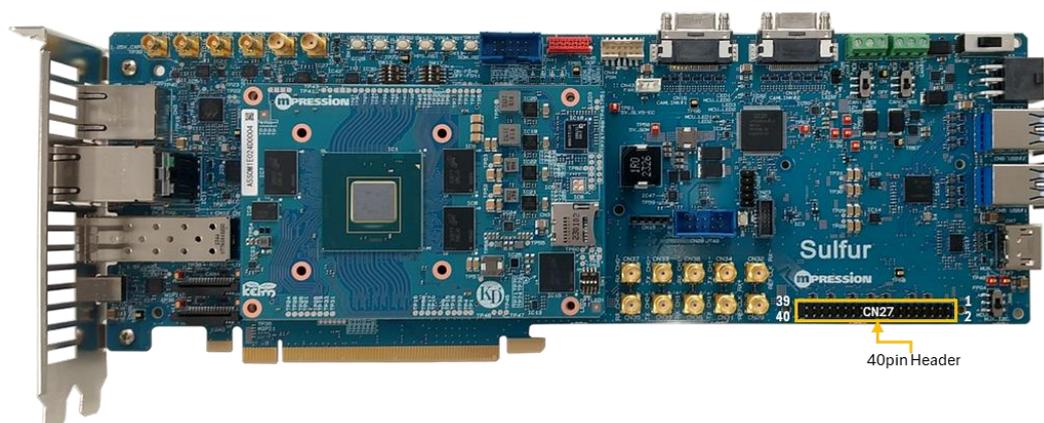


図 2-41 40ピンヘッドレイアウト

表 2-36 40ピンヘッドピンアサイン

| Pin No. | 信号名         | BtoB ピン | SoM ピン名      | A5E ピン | 説明           |
|---------|-------------|---------|--------------|--------|--------------|
| 1       | 3.3V        | -       | -            | -      | 3.3V 出力      |
| 2       | 5V          | -       | -            | -      | 5V 出力        |
| 3       | USER_GPIO2  | CN2.C78 | HVIO_6B_IO17 | CK2    | 3.3-V LVCMOS |
| 4       | 5V          | -       | -            | -      | 5V 出力        |
| 5       | USER_GPIO3  | CN2.D78 | HVIO_6B_IO20 | CH4    | 3.3-V LVCMOS |
| 6       | GND         | -       | -            | -      | グラウンド        |
| 7       | USER_GPIO4  | CN2.C75 | HVIO_6B_IO15 | BU19   | 3.3-V LVCMOS |
| 8       | USER_GPIO14 | CN2.D70 | HVIO_6B_IO7  | BF32   | 3.3-V LVCMOS |
| 9       | GND         | -       | -            | -      | グラウンド        |
| 10      | USER_GPIO15 | CN2.C93 | HVIO_5B_IO15 | BM118  | 3.3-V LVCMOS |
| 11      | USER_GPIO17 | CN2.D94 | HVIO_5B_IO19 | BH118  | 3.3-V LVCMOS |
| 12      | USER_GPIO18 | CN2.C87 | HVIO_5B_IO7  | BF104  | 3.3-V LVCMOS |
| 13      | USER_GPIO27 | CN2.D84 | HVIO_5B_IO6  | BU109  | 3.3-V LVCMOS |
| 14      | GND         | -       | -            | -      | グラウンド        |
| 15      | USER_GPIO22 | CN2.D88 | HVIO_5B_IO12 | BM109  | 3.3-V LVCMOS |
| 16      | USER_GPIO23 | CN2.C86 | HVIO_5B_IO13 | BR112  | 3.3-V LVCMOS |
| 17      | 3.3V        | -       | -            | -      | 3.3V 出力      |
| 18      | USER_GPIO24 | CN2.D85 | HVIO_5B_IO16 | BP112  | 3.3-V LVCMOS |
| 19      | USER_GPIO10 | CN2.C72 | HVIO_6B_IO1  | BF21   | 3.3-V LVCMOS |
| 20      | GND         | -       | -            | -      | グラウンド        |
| 21      | USER_GPIO9  | CN2.C71 | HVIO_6B_IO11 | BF16   | 3.3-V LVCMOS |
| 22      | USER_GPIO25 | CN2.C83 | HVIO_5B_IO10 | BK109  | 3.3-V LVCMOS |
| 23      | USER_GPIO11 | CN2.D72 | HVIO_6B_IO2  | BE21   | 3.3-V LVCMOS |
| 24      | USER_GPIO8  | CN2.D73 | HVIO_6B_IO13 | BK22   | 3.3-V LVCMOS |
| 25      | GND         | -       | -            | -      | グラウンド        |
| 26      | USER_GPIO7  | CN2.C74 | HVIO_6B_IO12 | BH19   | 3.3-V LVCMOS |
| 27      | USER_GPIO0  | CN2.D79 | HVIO_6B_IO19 | CK4    | 3.3-V LVCMOS |
| 28      | USER_GPIO1  | CN2.C77 | HVIO_6B_IO18 | CJ2    | 3.3-V LVCMOS |
| 29      | USER_GPIO5  | CN2.D75 | HVIO_6B_IO16 | BR19   | 3.3-V LVCMOS |
| 30      | GND         | -       | -            | -      | グラウンド        |
| 31      | USER_GPIO6  | CN2.D76 | HVIO_6B_IO14 | BM19   | 3.3-V LVCMOS |
| 32      | USER_GPIO12 | CN2.C69 | HVIO_6B_IO10 | BF25   | 3.3-V LVCMOS |
| 33      | USER_GPIO13 | CN2.D69 | HVIO_6B_IO6  | BE25   | 3.3-V LVCMOS |
| 34      | GND         | -       | -            | -      | グラウンド        |
| 35      | USER_GPIO19 | CN2.C90 | HVIO_5B_IO17 | BM112  | 3.3-V LVCMOS |

| Pin No. | 信号名         | BtoB ピン | SoM ピン名      | A5E ピン | 説明           |
|---------|-------------|---------|--------------|--------|--------------|
| 36      | USER_GPIO16 | CN2.D93 | HVIO_5B_IO14 | BK118  | 3.3-V LVCMOS |
| 37      | USER_GPIO26 | CN2.C84 | HVIO_5B_IO8  | BR109  | 3.3-V LVCMOS |
| 38      | USER_GPIO20 | CN2.C89 | HVIO_5B_IO18 | BK112  | 3.3-V LVCMOS |
| 39      | GND         | -       | -            | -      | グラウンド        |
| 40      | USER_GPIO21 | CN2.D87 | HVIO_5B_IO2  | BH109  | 3.3-V LVCMOS |

### 3. SoM コネクタ

SoM との接続に使用する SoM コネクタのボードレイアウトを図 3-1 に示します。

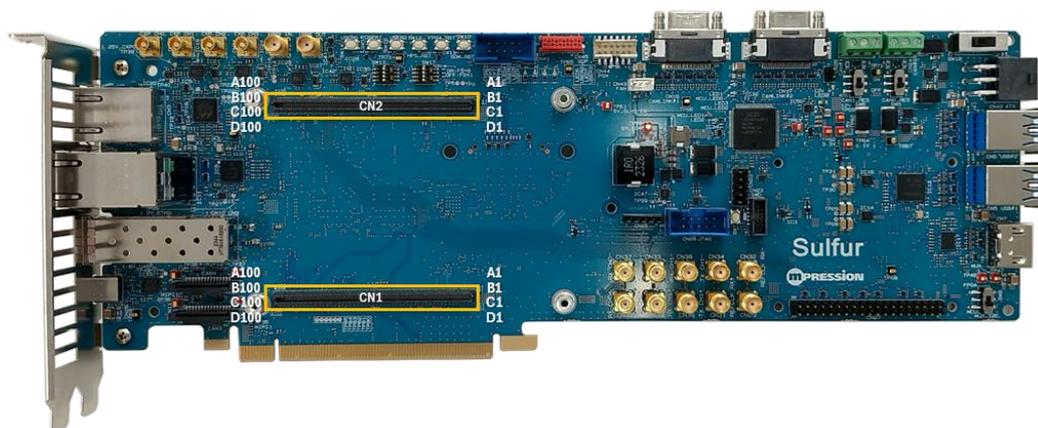


図 3-1 SoM コネクタレイアウト

#### 3.1. CN1 ピンアサイン

表 3-1 CN1 ピンアサイン

| Pin No. | A 列               | B 列              | C 列               | D 列               |
|---------|-------------------|------------------|-------------------|-------------------|
| 1       | 5V_SOM            | 5V_SOM           | 5V_SOM            | 5V_SOM            |
| 2       | 5V_SOM            | 5V_SOM           | 5V_SOM            | 5V_SOM            |
| 3       | 5V_SOM            | 5V_SOM           | 5V_SOM            | 5V_SOM            |
| 4       | GND               | 5V_SOM           | GND               | 5V_SOM            |
| 5       | HPS_ULPI_DATA5    | 5V_SOM           | SOM_RSVD          | 5V_SOM            |
| 6       | HPS_ULPI_DATA3    | GND              | SOM_RSVD          | GND               |
| 7       | GND               | HPS_ULPI_DATA2   | GND               | HPS_RGMII_TX_CLK  |
| 8       | HPS_ULPI_DATA7    | HPS_ULPI_DATA6   | HPS_RGMII_RX_CLK  | HPS_RGMII_TX_CTRL |
| 9       | HPS_ULPI_DATA1    | GND              | HPS_RGMII_RX_CTRL | GND               |
| 10      | GND               | HPS_ULPI_DATA4   | GND               | HPS_RGMII_TXD0    |
| 11      | HPS_ULPI_DATA0    | HPS_ULPI_CLK     | HPS_RGMII_RXD0    | HPS_RGMII_TXD1    |
| 12      | HPS_ULPI_NXT      | GND              | HPS_RGMII_RXD1    | GND               |
| 13      | GND               | HPS_ULPI_STP     | GND               | HPS_RGMII_TXD2    |
| 14      | SOM_RST_OUT_B_1V8 | HPS_ULPI_DIR     | HPS_RGMII_RXD2    | HPS_RGMII_TXD3    |
| 15      | -                 | GND              | HPS_RGMII_RXD3    | GND               |
| 16      | GND               | HPS_INT_B_1V8    | GND               | HPS_ETH_MDIO      |
| 17      | HPS_UART_TXD      | -                | HPS_I2C_SCL_1V8   | HPS_ETH_MDC       |
| 18      | HPS_UART_RXD      | GND              | HPS_I2C_SDA_1V8   | GND               |
| 19      | GND               | HPS_1PPS_OUT_1V8 | GND               | HPS_ETH_INT_B     |
| 20      | -                 | HPS_1PPS_IN_1V8  | -                 | -                 |
| 21      | -                 | GND              | -                 | GND               |
| 22      | GND               | -                | GND               | SOM_RSVD          |
| 23      | -                 | -                | -                 | SOM_RSVD          |
| 24      | -                 | GND              | TP                | GND               |
| 25      | GND               | -                | GND               | -                 |
| 26      | -                 | -                | -                 | TP                |
| 27      | -                 | GND              | -                 | GND               |
| 28      | GND               | SOM_JTAG_TDO_1V8 | GND               | TP                |
| 29      | SOM_PMBUS_SDA_3V3 | SOM_JTAG_TMS_1V8 | TP                | TP                |
| 30      | SOM_PMBUS_SCL_3V3 | GND              | TP                | GND               |
| 31      | GND               | SOM_JTAG_TDI_1V8 | GND               | -                 |
| 32      | GND               | SOM_JTAG_TCK_1V8 | GND               | TP                |
| 33      | SFP_TXD_N         | GND              | USB3_UP_TXD_N     | GND               |
| 34      | SFP_TXD_P         | GND              | USB3_UP_TXD_P     | GND               |
| 35      | GND               | SFP_RXD_N        | GND               | USB3_UP_RXD_N     |
| 36      | GND               | SFP_RXD_P        | GND               | USB3_UP_RXD_P     |
| 37      | SMA_TX_CH1_N      | GND              | SMA_TX_CH0_N      | GND               |

| Pin No. | A 列                | B 列                | C 列                | D 列             |
|---------|--------------------|--------------------|--------------------|-----------------|
| 38      | SMA_TX_CH1_P       | GND                | SMA_TX_CH0_P       | GND             |
| 39      | GND                | SMA_RX_CH1_N       | GND                | SMA_RX_CH0_N    |
| 40      | GND                | SMA_RX_CH1_P       | GND                | SMA_RX_CH0_P    |
| 41      | USB3_REFCLK_N      | GND                | SFP_REFCLK_N       | GND             |
| 42      | USB3_REFCLK_P      | GND                | SFP_REFCLK_P       | GND             |
| 43      | GND                | HDMI_TX_CLK_N      | GND                | HDMI_TX_DATA2_N |
| 44      | GND                | HDMI_TX_CLK_P      | GND                | HDMI_TX_DATA2_P |
| 45      | pulldown           | GND                | pulldown           | GND             |
| 46      | pulldown           | GND                | pulldown           | GND             |
| 47      | GND                | HDMI_TX_DATA1_N    | GND                | HDMI_TX_DATA0_N |
| 48      | GND                | HDMI_TX_DATA1_P    | GND                | HDMI_TX_DATA0_P |
| 49      | pulldown           | GND                | pulldown           | GND             |
| 50      | pulldown           | GND                | pulldown           | GND             |
| 51      | GND                | HDMI_REFCLK_N      | GND                | SMA_REFCLK_RX_N |
| 52      | GND                | HDMI_REFCLK_P      | GND                | SMA_REFCLK_RX_P |
| 53      | PCIE_TX_D3_N       | GND                | PCIE_TX_D2_N       | GND             |
| 54      | PCIE_TX_D3_P       | GND                | PCIE_TX_D2_P       | GND             |
| 55      | GND                | PCIE_RX_D3_N       | GND                | PCIE_RX_D2_N    |
| 56      | GND                | PCIE_RX_D3_P       | GND                | PCIE_RX_D2_P    |
| 57      | PCIE_TX_D1_N       | GND                | PCIE_TX_D0_N       | GND             |
| 58      | PCIE_TX_D1_P       | GND                | PCIE_TX_D0_P       | GND             |
| 59      | GND                | PCIE_RX_D1_N       | GND                | PCIE_RX_D0_N    |
| 60      | GND                | PCIE_RX_D1_P       | GND                | PCIE_RX_D0_P    |
| 61      | PCIE_REFCLK_N      | GND                | pulldown           | GND             |
| 62      | PCIE_REFCLK_P      | GND                | pulldown           | GND             |
| 63      | GND                | -                  | GND                | MIPI_CAM3_D1_N  |
| 64      | GND                | RZQ                | GND                | MIPI_CAM3_D1_P  |
| 65      | CAM_LINK2_XCLK_N   | GND                | CAM_LINK2_SERTEC_N | GND             |
| 66      | CAM_LINK2_XCLK_P   | CAM_LINK2_X0_N     | CAM_LINK2_SERTEC_P | MIPI_CAM3_D0_N  |
| 67      | GND                | CAM_LINK2_X0_P     | GND                | MIPI_CAM3_D0_P  |
| 68      | CAM_LINK2_X1_N     | GND                | CAM_LINK2_SERTFG_N | GND             |
| 69      | CAM_LINK2_X1_P     | CAM_LINK2_X3_N     | CAM_LINK2_SERTFG_P | MIPI_CAM3_C_N   |
| 70      | GND                | CAM_LINK2_X3_P     | GND                | MIPI_CAM3_C_P   |
| 71      | CAM_LINK2_CC3_N    | GND                | CAM_LINK2_CC1_N    | GND             |
| 72      | CAM_LINK2_CC3_P    | CAM_LINK2_X2_N     | CAM_LINK2_CC1_P    | -               |
| 73      | GND                | CAM_LINK2_X2_P     | GND                | -               |
| 74      | MIPI_CAM4_D1_N     | GND                | CAM_LINK2_CC4_N    | GND             |
| 75      | MIPI_CAM4_D1_P     | MIPI_CAM4_D0_N     | CAM_LINK2_CC4_P    | -               |
| 76      | GND                | MIPI_CAM4_D0_P     | GND                | -               |
| 77      | MIPI_CAM4_C_N      | GND                | CAM_LINK2_CC2_N    | GND             |
| 78      | MIPI_CAM4_C_P      | -                  | CAM_LINK2_CC2_P    | -               |
| 79      | GND                | -                  | GND                | -               |
| 80      | -                  | GND                | -                  | GND             |
| 81      | -                  | CAM_LINK1_X0_N     | -                  | 1.2V_SOM        |
| 82      | GND                | CAM_LINK1_X0_P     | GND                | 1.2V_SOM        |
| 83      | MIPI_REFCLK_N      | GND                | MIPI_CAM1_D0_N     | GND             |
| 84      | MIPI_REFCLK_P      | CAM_LINK1_X1_N     | MIPI_CAM1_D0_P     | MIPI_CAM2_D1_N  |
| 85      | GND                | CAM_LINK1_X1_P     | GND                | MIPI_CAM2_D1_P  |
| 86      | CAM_LINK1_XCLK_N   | GND                | MIPI_CAM1_D1_N     | GND             |
| 87      | CAM_LINK1_XCLK_P   | CAM_LINK1_X2_N     | MIPI_CAM1_D1_P     | MIPI_CAM2_D0_N  |
| 88      | GND                | CAM_LINK1_X2_P     | GND                | MIPI_CAM2_D0_P  |
| 89      | CAM_LINK1_CC3_N    | GND                | MIPI_CAM1_C_N      | GND             |
| 90      | CAM_LINK1_CC3_P    | CAM_LINK1_X3_N     | MIPI_CAM1_C_P      | MIPI_CAM2_C_N   |
| 91      | GND                | CAM_LINK1_X3_P     | GND                | MIPI_CAM2_C_P   |
| 92      | CAM_LINK1_CC4_N    | GND                | MIPI_CAM1_D3_N     | GND             |
| 93      | CAM_LINK1_CC4_P    | CAM_LINK1_SERTEC_N | MIPI_CAM1_D3_P     | MIPI_CAM2_D2_N  |
| 94      | GND                | CAM_LINK1_SERTEC_P | GND                | MIPI_CAM2_D2_P  |
| 95      | CAM_LINK1_SERTFG_N | GND                | MIPI_CAM1_D2_N     | GND             |
| 96      | CAM_LINK1_SERTFG_P | -                  | MIPI_CAM1_D2_P     | MIPI_CAM2_D3_N  |
| 97      | GND                | -                  | GND                | MIPI_CAM2_D3_P  |
| 98      | CAM_LINK1_CC1_N    | GND                | -                  | GND             |
| 99      | CAM_LINK1_CC1_P    | CAM_LINK1_CC2_N    | -                  | 1.2V_SOM        |
| 100     | GND                | CAM_LINK1_CC2_P    | GND                | 1.2V_SOM        |

## 3.2. CN2 ピンアサイン

表 3-2 CN2 ピンアサイン

| Pin No. | A 列                | B 列                    | C 列                | D 列                |
|---------|--------------------|------------------------|--------------------|--------------------|
| 1       | 5V_SOM             | 5V_SOM                 | 5V_SOM             | 5V_SOM             |
| 2       | 5V_SOM             | 5V_SOM                 | 5V_SOM             | 5V_SOM             |
| 3       | 5V_SOM             | 5V_SOM                 | 5V_SOM             | 5V_SOM             |
| 4       | GND                | 5V_SOM                 | GND                | 5V_SOM             |
| 5       | SOM_RSVD           | 5V_SOM                 | SOM_RSVD           | 5V_SOM             |
| 6       | SOM_RSVD           | GND                    | SOM_RSVD           | GND                |
| 7       | GND                | SOM_FPGA_RESET_TRG_1V8 | GND                | SOM_RSVD           |
| 8       | SOM_RESET_B_1V8    | SOM_HPS_RESET_TRG_1V8  | SOM_CLKG_SCL_1V8   | SOM_RSVD           |
| 9       | SOM_PWR_OK         | GND                    | SOM_CLKG_SDA_1V8   | GND                |
| 10      | GND                | SOM_PWR_EN_1V8         | GND                | 1.8V_VBAT          |
| 11      | 1.8V_SOM           | -                      | -                  | -                  |
| 12      | 1.8V_SOM           | GND                    | -                  | GND                |
| 13      | GND                | ETH1_INT_B             | GND                | FPGA_USER_LED2_1V8 |
| 14      | ETH1_MDIO          | ETH1_RGMII_TX_CTRL     | FPGA_USER_LED1_1V8 | FPGA_USER_LED3_1V8 |
| 15      | ETH1_RGMII_TX_CLK  | GND                    | ETH2_RGMII_RXD3    | GND                |
| 16      | GND                | ETH1_RGMII_TXD0        | GND                | FPGA_USER_LED0_1V8 |
| 17      | ETH1_RGMII_TXD1    | ETH1_RGMII_TXD3        | ETH2_RGMII_RXD0    | ETH2_RGMII_RXD2    |
| 18      | ETH1_RGMII_TXD2    | GND                    | ETH2_RGMII_RXD1    | GND                |
| 19      | GND                | ETH1_RGMII_RX_CLK      | GND                | ETH2_RGMII_RX_CLK  |
| 20      | HVIO_6D_REFCLK_1V8 | ETH1_MDC               | ETH2_RGMII_TXD3    | ETH2_RGMII_RX_CTRL |
| 21      | ETH1_RGMII_RX_CTRL | GND                    | ETH2_RGMII_TXD1    | GND                |
| 22      | GND                | ETH1_RGMII_RXD0        | GND                | ETH2_RGMII_TXD2    |
| 23      | ETH1_RGMII_RXD1    | ETH1_RGMII_RXD3        | ETH2_RGMII_TX_CTRL | ETH2_INT_B         |
| 24      | ETH1_RGMII_RXD2    | GND                    | ETH2_RGMII_TX_CLK  | GND                |
| 25      | GND                | FPGA_USER_SW2          | GND                | ETH2_RGMII_TXD0    |
| 26      | FPGA_USER_SW1      | ETH1_RESET_B           | ETH2_MDIO          | ETH2_RESET_B       |
| 27      | FPGA_USER_SW0      | GND                    | ETH2_MDC           | GND                |
| 28      | GND                | -                      | GND                | 1.8V_SOM           |
| 29      | -                  | -                      | -                  | 1.8V_SOM           |
| 30      | -                  | GND                    | -                  | GND                |
| 31      | GND                | -                      | GND                | -                  |
| 32      | GND                | -                      | GND                | -                  |
| 33      | SLVS-EC_RX_CH6_N   | GND                    | SLVS-EC_RX_CH7_N   | GND                |
| 34      | SLVS-EC_RX_CH6_P   | GND                    | SLVS-EC_RX_CH7_P   | GND                |
| 35      | GND                | -                      | GND                | -                  |
| 36      | GND                | -                      | GND                | -                  |
| 37      | SLVS-EC_RX_CH4_N   | GND                    | SLVS-EC_RX_CH5_N   | GND                |
| 38      | SLVS-EC_RX_CH4_P   | GND                    | SLVS-EC_RX_CH5_P   | GND                |
| 39      | GND                | -                      | GND                | -                  |
| 40      | GND                | -                      | GND                | -                  |
| 41      | pulldown           | GND                    | pulldown           | GND                |
| 42      | pulldown           | GND                    | pulldown           | GND                |
| 43      | GND                | SLVS-EC_RX_CH2_N       | GND                | SLVS-EC_RX_CH3_N   |
| 44      | GND                | SLVS-EC_RX_CH2_P       | GND                | SLVS-EC_RX_CH3_P   |
| 45      | -                  | GND                    | -                  | GND                |
| 46      | -                  | GND                    | -                  | GND                |
| 47      | GND                | SLVS-EC_RX_CH0_N       | GND                | SLVS-EC_RX_CH1_N   |
| 48      | GND                | SLVS-EC_RX_CH0_P       | GND                | SLVS-EC_RX_CH1_P   |
| 49      | -                  | GND                    | -                  | GND                |
| 50      | -                  | GND                    | -                  | GND                |
| 51      | GND                | SLVS-EC_REFCLK_N       | GND                | pulldown           |
| 52      | GND                | SLVS-EC_REFCLK_P       | GND                | pulldown           |
| 53      | pulldown           | GND                    | pulldown           | GND                |
| 54      | pulldown           | GND                    | pulldown           | GND                |
| 55      | GND                | CXP_TX_CH2_N           | GND                | CXP_TX_CH3_N       |
| 56      | GND                | CXP_TX_CH2_P           | GND                | CXP_TX_CH3_P       |
| 57      | pulldown           | GND                    | pulldown           | GND                |
| 58      | pulldown           | GND                    | pulldown           | GND                |
| 59      | GND                | CXP_TX_CH0_N           | GND                | CXP_TX_CH1_N       |
| 60      | GND                | CXP_TX_CH0_P           | GND                | CXP_TX_CH1_P       |
| 61      | pulldown           | GND                    | CXP_REFCLK_N       | GND                |

| Pin No. | A 列                    | B 列                      | C 列            | D 列           |
|---------|------------------------|--------------------------|----------------|---------------|
| 62      | pulldown               | GND                      | CXP_REFCLK_P   | GND           |
| 63      | GND                    | -                        | GND            | -             |
| 64      | GND                    | -                        | GND            | -             |
| 65      | SLVS-EC_XTRIG2_1V8     | GND                      | CXP2_LF_DATA   | GND           |
| 66      | SLVS-EC_XTRIG1_1V8     | SLVS-EC_XVS_1V8          | CXP3_LF_DATA   | FAN_PULSE     |
| 67      | GND                    | SLVS-EC_XMASTER_1V8      | GND            | CXP1_LF_DATA  |
| 68      | SLVS-EC_XHS_1V8        | GND                      | CXP0_LF_DATA   | GND           |
| 69      | SLVS-EC_SDO_1V8        | SLVS-EC_XCE_1V8          | USER_GPIO12    | USER_GPIO13   |
| 70      | GND                    | SLVS-EC_XCLR_1V8         | GND            | USER_GPIO14   |
| 71      | SLVS-EC_SCK_SCL_1V8    | GND                      | USER_GPIO9     | GND           |
| 72      | SLVS-EC_SENSOR_PON_1V8 | SLVS-EC_SDI_SDA_1V8      | USER_GPIO10    | USER_GPIO11   |
| 73      | GND                    | SLVS-EC_SENSOR_PGOOD_1V8 | GND            | USER_GPIO8    |
| 74      | SLVS-EC_OMODE_1V8      | GND                      | USER_GPIO7     | GND           |
| 75      | FPGA_USER_PB1_1V8      | FPGA_USER_PB2_1V8        | USER_GPIO4     | USER_GPIO5    |
| 76      | GND                    | SLVS-EC_INCK_OE_1V8      | GND            | USER_GPIO6    |
| 77      | FPGA_I2C_SDA_1V8       | GND                      | USER_GPIO1     | GND           |
| 78      | FPGA_I2C_SCL_1V8       | FPGA_USER_PB0_1V8        | USER_GPIO2     | USER_GPIO3    |
| 79      | GND                    | HVIO_6A_REFCLK_1V8       | GND            | USER_GPIO0    |
| 80      | 1.8V_SOM               | GND                      | -              | GND           |
| 81      | 1.8V_SOM               | MIPI_CAM2_SDA_3V3        | -              | 3.3V_SOM      |
| 82      | GND                    | MIPI_CAM2_SCL_3V3        | GND            | 3.3V_SOM      |
| 83      | MIPI_CAM1_SDA_3V3      | GND                      | USER_GPIO25    | GND           |
| 84      | MIPI_CAM2_GPIO1_3V3    | MIPI_CAM1_SCL_3V3        | USER_GPIO26    | USER_GPIO27   |
| 85      | GND                    | MIPI_CAM2_GPIO0_3V3      | GND            | USER_GPIO24   |
| 86      | MIPI_CAM1_GPIO1_3V3    | GND                      | USER_GPIO23    | GND           |
| 87      | -                      | USB_ID_3V3               | USER_GPIO18    | USER_GPIO21   |
| 88      | GND                    | MIPI_CAM1_GPIO0_3V3      | GND            | USER_GPIO22   |
| 89      | 3.3V_SOM               | GND                      | USER_GPIO20    | GND           |
| 90      | 3.3V_SOM               | -                        | USER_GPIO19    | 3.3V_SOM      |
| 91      | GND                    | -                        | GND            | 3.3V_SOM      |
| 92      | USB_VBUS_DET_3V3       | GND                      | PCIE_PERST_B   | GND           |
| 93      | MCU_SPI_MOSI_3V3       | MCU_SPI_SCK_3V3          | USER_GPIO15    | USER_GPIO16   |
| 94      | GND                    | -                        | GND            | USER_GPIO17   |
| 95      | MCU_SPI_CS_3V3         | GND                      | SFP_RATE_SEL1  | GND           |
| 96      | HDMI_LV_DDC_SDA_3V3    | MCU_SPI_MISO_3V3         | SFP_TX_DISABLE | SFP_TX_FAULT  |
| 97      | GND                    | HDMI_LV_DDC_SCL_3V3      | GND            | SFP_RATE_SEL0 |
| 98      | SOM_RSVD               | GND                      | SFP_MOD_ABS    | GND           |
| 99      | SOM_RSVD               | HDMI_EN_3V3              | SFP_LOS        | SOM_RSVD      |
| 100     | GND                    | HDMI_HPD_3V3             | GND            | SOM_RSVD      |

### 3.3. 信号名と説明

表 3-3 SoM コネクタの信号名と説明

| 信号名                | Dir (Carrier) | 電圧           | SoM 接続先   | 説明                          |
|--------------------|---------------|--------------|-----------|-----------------------------|
| 5V_SOM             | Out           | 5V           | 電源回路      | 5V 電源                       |
| 3.3V_SOM           | Out           | 3.3V         | 3.3V Bank | 3.3V VCCIO 電圧               |
| 1.2V_SOM           | Out           | 1.2V or 1.3V | HSIO_2A   | 1.1V VCCIO 電圧               |
| 1.8V_SOM           | Out           | 1.8V         | 1.8V Bank | 1.8V VCCIO 電圧               |
| 1.8V_VBAT          | Out           | 1.8V         | VCCBAT    | AES 用バッテリーバックアップ端子          |
| GND                | -             | -            | GND       | グラウンド                       |
| RZQ                | In            | -            | HSIO_2A_B | OCT 用リファレンス抵抗 240 Ohm       |
| pulldown           | pulldown      | -            | -         | 入力専用ピンの処理のため、抵抗を介して GND に接続 |
| TP                 | N/C           | -            | -         | 予約ピン、ボード内は未接続               |
| SOM_RSVD           | N/C           | -            | -         | 予約ピン、ボード内は未接続               |
| HPS_ULPI_DATA[7:0] | I/O           | 1.8V         | HPS       | USB ULPI データバス              |
| HPS_ULPI_CLK       | Out           | 1.8V         | HPS       | USB ULPI クロック               |
| HPS_ULPI_NXT       | Out           | 1.8V         | HPS       | USB ULPI NXT 信号             |
| HPS_ULPI_STP       | In            | 1.8V         | HPS       | USB ULPI STP 信号             |
| HPS_ULPI_DIR       | Out           | 1.8V         | HPS       | USB ULPI DIR 信号             |
| HPS_RGMII_TX_CLK   | In            | 1.8V         | HPS       | Ethernet (HPS) RGMII 送信クロック |



| 信号名                    | Dir (Carrier) | 電圧   | SoM 接続先            | 説明                             |
|------------------------|---------------|------|--------------------|--------------------------------|
| HPS_RGMII_TX_CTRL      | In            | 1.8V | HPS                | Ethernet (HPS) RGMII 送信コントロール  |
| HPS_RGMII_TXD[3:0]     | In            | 1.8V | HPS                | Ethernet (HPS) RGMII 送信データ     |
| HPS_RGMII_RX_CLK       | Out           | 1.8V | HPS                | Ethernet (HPS) RGMII 受信クロック    |
| HPS_RGMII_RX_CTRL      | Out           | 1.8V | HPS                | Ethernet (HPS) RGMII 受信コントロール  |
| HPS_RGMII_RXD[3:0]     | Out           | 1.8V | HPS                | Ethernet (HPS) RGMII 受信データ     |
| HPS_ETH_MDIO           | I/O           | 1.8V | HPS                | Ethernet (HPS) PHY マネージメントデータ  |
| HPS_ETH_MDC            | In            | 1.8V | HPS                | Ethernet (HPS) PHY マネージメントクロック |
| HPS_ETH_INT_B          | Out           | 1.8V | HPS                | Ethernet (HPS) PHY 割り込み信号      |
| SOM_RST_OUT_B_1V8      | Out           | 1.8V | リセット回路             | SoM リセット出力                     |
| HPS_UART_TXD           | Out           | 1.8V | HPS                | UART 送信データ                     |
| HPS_UART_RXD           | In            | 1.8V | HPS                | UART 受信データ                     |
| HPS_I2C_SCL_1V8        | In            | 1.8V | HPS                | I2C クロック                       |
| HPS_I2C_SDA_1V8        | I/O           | 1.8V | HPS                | I2C データ                        |
| HPS_1PPS_OUT_1V8       | In            | 1.8V | HPS                | TSN 同期信号                       |
| HPS_1PPS_IN_1V8        | Out           | 1.8V | HPS                | TSN 同期信号                       |
| SOM_JTAG_TCLK_1V8      | Out           | 1.8V | JTAG               | JTAG テストクロック信号                 |
| SOM_JTAG_TMS_1V8       | Out           | 1.8V | JTAG               | JTAG テストモード選択信号                |
| SOM_JTAG_TDO_1V8       | In            | 1.8V | JTAG               | JTAG テストデータ出力信号                |
| SOM_JTAG_TDI_1V8       | Out           | 1.8V | JTAG               | JTAG テストデータ入力信号                |
| SOM_PMBUS_SDA_3V3      | I/O           | 3.3V | 電源回路               | PMBus データ                      |
| SOM_PMBUS_SCL_3V3      | Out           | 3.3V | 電源回路               | PMBus クロック                     |
| SOM_CLKG_SCL_1V8       | Out           | 1.8V | クロック回路             | I2C クロック (クロックジェネレータ)          |
| SOM_CLKG_SDA_1V8       | I/O           | 1.8V | クロック回路             | I2C データ (クロックジェネレータ)           |
| SOM_RESET_B_1V8        | Out           | 1.8V | 電源回路               | リコンフィグ要求                       |
| SOM_FPGA_RESET_TRG_1V8 | Out           | 1.8V | 電源回路               | FPGA リセット要求                    |
| SOM_HPS_RESET_TRG_1V8  | Out           | 1.8V | 電源回路               | HPS リセット要求                     |
| SOM_PWR_OK             | In            | 1.8V | 電源回路               | SoM 電源 OK 信号                   |
| SOM_PWR_EN             | Out           | 1.8V | 電源回路               | SoM 電源イネーブル                    |
| SFP_TXD [P/N]          | In            | 1.0V | GTSL_1C            | 10GbE 送信データ                    |
| SFP_RXD [P/N]          | Out           | 1.0V | GTSL_1C            | 10GbE 受信データ                    |
| SFP_REFCLK [P/N]       | Out           | 1.0V | GTSL_1C            | 10GbE リファレンスクロック               |
| SFP_RATE_SEL[n]        | In            | 3.3V | HVIO_5B            | 10GbE レート選択信号: n は番号(0~1)      |
| SFP_TX_DISABLE         | In            | 3.3V | HVIO_5B            | 10GbE 送信ディセーブル信号               |
| SFP_MOD_ABS            | Out           | 3.3V | HVIO_5B            | 10GbE MOD_ABS 信号               |
| SFP_LOS                | Out           | 3.3V | HVIO_5B            | 10GbE 受信ロス信号                   |
| SFP_TX_FAULT           | Out           | 3.3V | HVIO_5B            | 10GbE 送信フォールト信号                |
| USB3_UP_TXD [P/N]      | In            | 1.0V | GTSL_1C            | USB 3.1 送信データ                  |
| USB3_UP_RXD [P/N]      | Out           | 1.0V | GTSL_1C            | USB 3.1 受信データ                  |
| USB3_REFCLK [P/N]      | Out           | 1.0V | GTSL_1C            | USB 3.1 リファレンスクロック             |
| HDMI_TX_CLK [P/N]      | In            | 1.0V | GTSL_1B            | HDMI クロック                      |
| HDMI_TX_DATA[n] [P/N]  | In            | 1.0V | GTSL_1B            | HDMI データ : n は番号(0~2)          |
| HDMI_REFCLK [P/N]      | Out           | 1.0V | GTSL_1B            | HDMI リファレンスクロック                |
| PCIE_TX_D[n] [P/N]     | In            | 1.0V | GTSL_1A            | PCIE 送信データ : n は番号(0~3)        |
| PCIE_RX_D[n] [P/N]     | Out           | 1.0V | GTSL_1A            | PCIE 受信データ : n は番号(0~3)        |
| PCIE_REFCLK [P/N]      | Out           | 1.0V | GTSL_1A            | PCIE リファレンスクロック                |
| PCIE_PERST_B           | Out           | 3.3V | HVIO_5B            | PCIE リセット信号                    |
| SMA_TX_CH[n] [P/N]     | In            | 1.0V | GTSL_1C            | SMA 接続トランシーバ送信データ : n は番号(0~1) |
| SMA_RX_CH[n] [P/N]     | Out           | 1.0V | GTSL_1C            | SMA 接続トランシーバ受信データ : n は番号(0~1) |
| SMA_REFCLK_RX [P/N]    | Out           | 1.0V | GTSL_1B            | SMA 接続トランシーバリファレンスクロック         |
| SLVS-EC_RX_CH[n] [P/N] | Out           | 1.0V | GTSR_4C<br>GTSR_4B | SLVS-EC データレーン: n は番号(0~7)     |
| SLVS-EC_REFCLK [P/N]   | Out           | 1.0V | GTSR_4B            | SLVS-EC リファレンスクロック             |
| SLVS-EC_XCLR_1V8       | In            | 1.8V | HVIO_6A            | SLVS-EC XCLR 信号                |
| SLVS-EC_INCK_OE_1V8    | In            | 1.8V | HVIO_6A            | SLVS-EC INCK_OE 信号             |
| SLVS-EC_XVS_1V8        | In            | 1.8V | HVIO_6A            | SLVS-EC INCK_OE 信号             |
| SLVS-EC_XHS_1V8        | In            | 1.8V | HVIO_6A            | SLVS-EC XVS 信号                 |
| SLVS-EC_XTRIG1_1V8     | In            | 1.8V | HVIO_6A            | SLVS-EC XHS 信号                 |
| SLVS-EC_XTRIG2_1V8     | In            | 1.8V | HVIO_6A            | SLVS-EC XTRIG1 信号              |
| SLVS-EC_SCK_SCL_1V8    | In            | 1.8V | HVIO_6A            | SLVS-EC XTRIG2 信号              |
| SLVS-EC_XCE_1V8        | In            | 1.8V | HVIO_6A            | SLVS-EC SCK_SCL 信号             |
| SLVS-EC_SDI_SDA_1V8    | I/O           | 1.8V | HVIO_6A            | SLVS-EC XCE 信号                 |

| 信号名                      | Dir (Carrier) | 電圧   | SoM 接続先            | 説明   |
|--------------------------|---------------|------|--------------------|--|
| SLVS-EC_SDO_1V8          | Out           | 1.8V | HVIO_6A            | SLVS-EC SDI_SDA 信号                         |
| SLVS-EC_XMASTER_1V8      | In            | 1.8V | HVIO_6A            | SLVS-EC XMASTER 信号                         |
| SLVS-EC_OMODE_1V8        | In            | 1.8V | HVIO_6A            | SLVS-EC OMODE 信号                           |
| SLVS-EC_SENSOR_PON_1V8   | In            | 1.8V | HVIO_6A            | SLVS-EC SENSOR_PON 信号                      |
| SLVS-EC_SENSOR_PGOOD_1V8 | Out           | 1.8V | HVIO_6A            | SLVS-EC SENSOR_PGOOD 信号                    |
| HVIO_6A_REFCLK_1V8       | Out           | 1.8V | HVIO_6A            | リファレンスクロック 100MHz                          |
| HVIO_6D_REFCLK_1V8       | Out           | 1.8V | HVIO_6D            | リファレンスクロック 100MHz                          |
| ETH1_RGMII_TX_CLK        | In            | 1.8V | HVIO_6D            | Ethernet (FPGA1) RGMII 送信クロック              |
| ETH1_RGMII_TX_CTRL       | In            | 1.8V | HVIO_6D            | Ethernet (FPGA1) RGMII 送信コントロール            |
| ETH1_RGMII_TXD[3:0]      | In            | 1.8V | HVIO_6D            | Ethernet (FPGA1) RGMII 送信データ               |
| ETH1_RGMII_RX_CLK        | Out           | 1.8V | HVIO_6D            | Ethernet (FPGA1) RGMII 受信クロック              |
| ETH1_RGMII_RX_CTRL       | Out           | 1.8V | HVIO_6D            | Ethernet (FPGA1) RGMII 受信コントロール            |
| ETH1_RGMII_RXD[3:0]      | Out           | 1.8V | HVIO_6D            | Ethernet (FPGA1) RGMII 受信データ               |
| ETH1_MDIO                | I/O           | 1.8V | HVIO_6D            | Ethernet (FPGA1) PHY マネージメントデータ            |
| ETH1_MDC                 | In            | 1.8V | HVIO_6D            | Ethernet (FPGA1) PHY マネージメントクロック           |
| ETH1_INT_B               | Out           | 1.8V | HVIO_6D            | Ethernet (FPGA1) PHY 割り込み信号                |
| ETH1_RESET_B             | In            | 1.8V | HVIO_6D            | Ethernet (FPGA1) PHY リセット                  |
| ETH2_RGMII_TX_CLK        | In            | 1.8V | HVIO_6D            | Ethernet (FPGA2) RGMII 送信クロック              |
| ETH2_RGMII_TX_CTRL       | In            | 1.8V | HVIO_6D            | Ethernet (FPGA2) RGMII 送信コントロール            |
| ETH2_RGMII_TXD[3:0]      | In            | 1.8V | HVIO_6D            | Ethernet (FPGA2) RGMII 送信データ               |
| ETH2_RGMII_RX_CLK        | Out           | 1.8V | HVIO_6D            | Ethernet (FPGA2) RGMII 受信クロック              |
| ETH2_RGMII_RX_CTRL       | Out           | 1.8V | HVIO_6D            | Ethernet (FPGA2) RGMII 受信コントロール            |
| ETH2_RGMII_RXD[3:0]      | Out           | 1.8V | HVIO_6D            | Ethernet (FPGA2) RGMII 受信データ               |
| ETH2_MDIO                | I/O           | 1.8V | HVIO_6D            | Ethernet (FPGA2) PHY マネージメントデータ            |
| ETH2_MDC                 | In            | 1.8V | HVIO_6D            | Ethernet (FPGA2) PHY マネージメントクロック           |
| ETH2_INT_B               | Out           | 1.8V | HVIO_6D            | Ethernet (FPGA2) PHY 割り込み信号                |
| ETH2_RESET_B             | In            | 1.8V | HVIO_6D            | Ethernet (FPGA2) PHY リセット                  |
| MIPI_REFCLK              | Out           | 1.2V | HSIO_2A_T          | MIPI リファレンスクロック                            |
| MIPI_CAM1_D[n] [P/N]     | Out           | 1.2V | HSIO_2A_T          | MIPI CAM1 データ : n は番号(0-3)                 |
| MIPI_CAM1_C [P/N]        | Out           | 1.2V | HSIO_2A_T          | MIPI CAM1 クロック                             |
| MIPI_CAM1_SCL_3V3        | In            | 3.3V | HVIO_5A            | MIPI CAM1 I2C クロック                         |
| MIPI_CAM1_SDA_3V3        | I/O           | 3.3V | HVIO_5A            | MIPI CAM1 I2C データ                          |
| MIPI_CAM1_GPIO[n]_3V3    | I/O           | 3.3V | HVIO_5A            | MIPI CAM1 GPIO : n は番号(0-1)                |
| MIPI_CAM2_D[n] [P/N]     | Out           | 1.2V | HSIO_2A_T          | MIPI CAM2 データ : n は番号(0-3)                 |
| MIPI_CAM2_C [P/N]        | Out           | 1.2V | HSIO_2A_T          | MIPI CAM2 クロック                             |
| MIPI_CAM2_SCL_3V3        | In            | 3.3V | HVIO_5A            | MIPI CAM1 I2C クロック                         |
| MIPI_CAM2_SDA_3V3        | I/O           | 3.3V | HVIO_5A            | MIPI CAM1 I2C データ                          |
| MIPI_CAM2_GPIO[n]_3V3    | I/O           | 3.3V | HVIO_5A            | MIPI CAM1 GPIO : n は番号(0-1)                |
| MIPI_CAM3_D[n] [P/N]     | Out           | 1.2V | HSIO_2A_B          | MIPI CAM3 データ : n は番号(0-1)                 |
| MIPI_CAM3_C [P/N]        | Out           | 1.2V | HSIO_2A_B          | MIPI CAM3 クロック                             |
| MIPI_CAM4_D[n] [P/N]     | Out           | 1.2V | HSIO_2A_B          | MIPI CAM4 データ : n は番号(0-1)                 |
| MIPI_CAM4_C [P/N]        | Out           | 1.2V | HSIO_2A_B          | MIPI CAM4 クロック                             |
| CAM_LINK1_X[n] [P/N]     | Out           | 1.3V | HSIO_2A_T          | Camera Link #1 X データバス : n は番号(0-3)        |
| CAM_LINK1_XCLK [P/N]     | Out           | 1.3V | HSIO_2A_T          | Camera Link #1 X クロック                      |
| CAM_LINK1_SERTFG [P/N]   | Out           | 1.3V | HSIO_2A_T          | Camera Link #1 Serial to Flame Graber      |
| CAM_LINK1_SERTC [P/N]    | In            | 1.3V | HSIO_2A_T          | Camera Link #1 Serial to Camera            |
| CAM_LINK1_CC[n] [P/N]    | In            | 1.3V | HSIO_2A_T          | Camera Link #1 Camera Control : n は番号(1-4) |
| CAM_LINK2_X[n] [P/N]     | Out           | 1.3V | HSIO_2A_B          | Camera Link #2 X データバス : n は番号(0-3)        |
| CAM_LINK2_XCLK [P/N]     | Out           | 1.3V | HSIO_2A_B          | Camera Link #2 X クロック                      |
| CAM_LINK2_SERTFG [P/N]   | Out           | 1.3V | HSIO_2A_B          | Camera Link #2 Serial to Flame Graber      |
| CAM_LINK2_SERTC [P/N]    | In            | 1.3V | HSIO_2A_B          | Camera Link #2 Serial to Camera            |
| CAM_LINK2_CC[n] [P/N]    | In            | 1.3V | HSIO_2A_B          | Camera Link #2 Camera Control : n は番号(1-4) |
| FPGA_USER_LED[n]_1V8     | In            | 1.8V | HVIO_6C            | ユーザーLED : n は番号(0-3)                       |
| FPGA_USER_SW[n]_1V8      | In            | 1.8V | HVIO_6D            | ユーザーディップスイッチ : n は番号(0-2)                  |
| FPGA_USER_PB[n]_1V8      | In            | 1.8V | HVIO_6A            | ユーザープッシュスイッチ : n は番号(0-2)                  |
| USER_GPIO[n]             | I/O           | 3.3V | HVIO_6B<br>HVIO_5B | ユーザーGPIO : n は番号(0-27)                     |

## 4. セットアップ方法

### 4.1. microSD カードの挿抜

microSD カードを挿入する際は図 4-1 microSD カードの挿抜の様に SoM の microSD カードスロットに水平に差し込み、矢印方向にカチッと音がするまで押し込んでください。また、microSD カードを抜き取る時は、挿入時と同様に矢印方向にカチッと音がするまで押し込むと microSD カードが飛び出すので、指の爪でそっと抜き取ってください。



(a) microSD カードの挿入



(b) microSD カードの抜き取り

図 4-1 microSD カードの挿抜

microSD カードに書き込むリファレンスデザインについては、Rocketboards.org の Sulfur のサイトにアップされています。所望のリファレンスデザインをダウンロードして microSD カードへ書き込んでご使用ください。

Rocketboards.org の Sulfur のサイト:

<https://www.rocketboards.org/foswiki/Documentation/MpressionSulfurDevelopmentKitForIntelAgilexR5FPGAESeries>

## 4.2. 電源接続

電源の投入/切断には図 4-2 のように電源スイッチ (SW18) のレバーを図の位置にスライドさせることによって行います。PCIe カードエッジからの電源供給についても同様に、電源スイッチのレバーが電源 ON の位置にあるときに電源が供給されます。

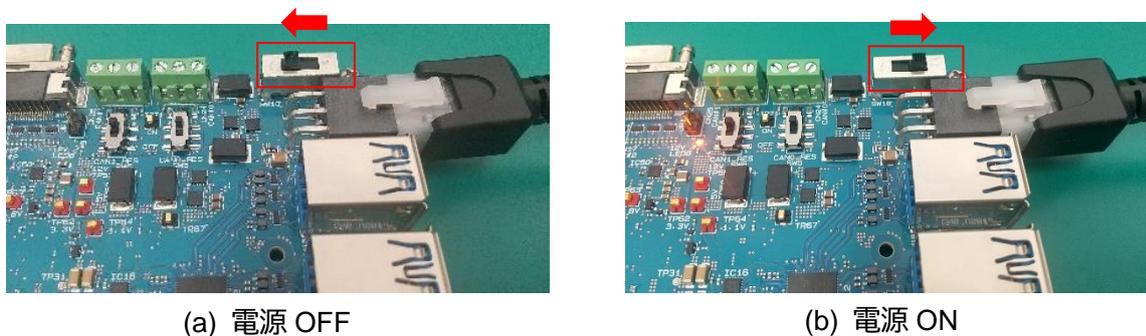


図 4-2 電源の ON/OFF

## 5. 基板外形

本製品の外形寸法図を図 4-3 に示します。(単位:mm)

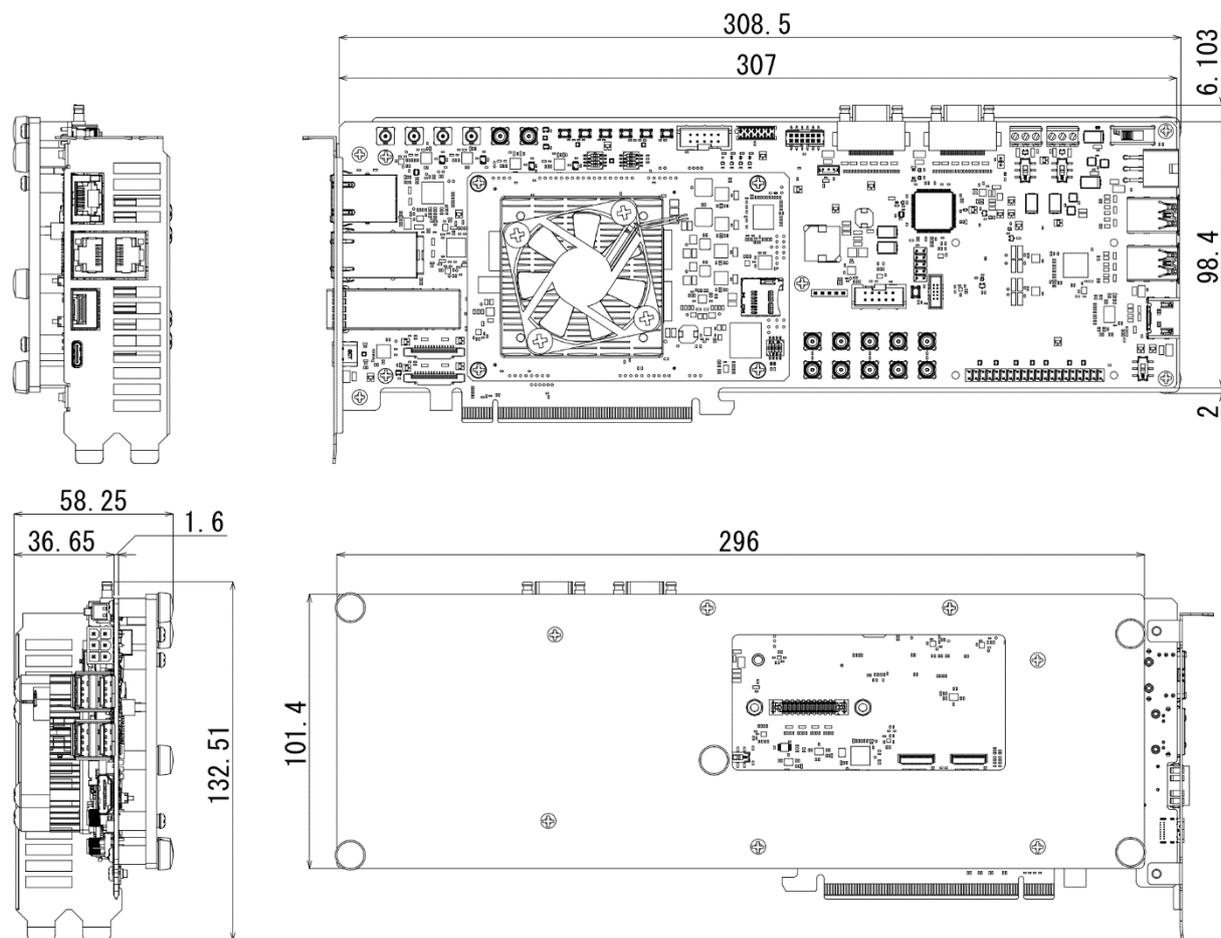


図 4-3 外形寸法

## 6. 更新履歴

| Ver. | 更新日付      | 内容   |
|------|-----------|------|
| 1.0  | 2024/4/24 | 新規作成 |
|      |           |      |
|      |           |      |
|      |           |      |
|      |           |      |